

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月28日

出 願 番 号

Application Number:

特願2000-361106

出 願 人

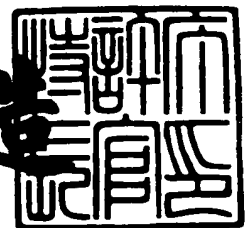
Applicant(s):

富士電機株式会社

2001年 6月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3059786

【書類名】 特許願

【整理番号】 00P01588

【提出日】 平成12年11月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 小林 孝

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 藤平 龍彦

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 阿部 和

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【先の出願に基づく優先権主張】

【出願番号】 特願2000-331840

【出願日】 平成12年10月31日

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 MOS半導体装置

【特許請求の範囲】

【請求項1】 第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有するMOS半導体装置において、第一導電型表面領域が第二導電型ウェル領域に囲まれており、第一導電型ソース領域を含めた第二導電型ウェル領域の表面積に対する、第一導電型表面領域の表面積の比が、 $0.01 \sim 0.2$ の範囲にあることを特徴とするMOS型半導体装置。

【請求項2】 第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有するMOS半導体装置において、表面における第一導電型表面領域の形状が、幅に対して長さの長いストライプ状をなすことを特徴とするMOS半導体装置。

【請求項3】 前記半導体表面における前記ストライプ状の第一導電型表面領域の主たる部分の幅が $0.1 \sim 2 \mu\text{m}$ の範囲にあることを特徴とする請求項2に記載のMOS半導体装置。

【請求項 4】前記半導体表面における第一導電型ソース領域を含めた第二導電型ウェル領域の表面積に対する、第一導電型表面領域の表面積の比が、0.01～0.2の範囲にあることを特徴とする請求項 2 または 3 に記載の MOS 半導体装置。

【請求項 5】前記半導体表面における前記第一導電型表面領域の形状が、幅に対して長さの長いストライプ状を有し、その主たる部分の幅が 0.1～2 μm の範囲にあることを特徴とする請求項 1 に記載の MOS 半導体装置。

【請求項 6】前記半導体表面において、前記ストライプ状の第一導電型表面領域の長さが 100 μm 以上であることを特徴とする請求項 2 ないし 5 のいずれかに記載の MOS 半導体装置。

【請求項 7】前記半導体表面において、前記ストライプ状の第一導電形表面領域の長さが 500 μm 以上であることを特徴とする請求項 6 に記載の MOS 半導体装置。

【請求項 8】前記半導体表面における前記ストライプ状の第一導電形表面領域が、長さ方向と異なる方向の複数の凸部を有することを特徴とする請求項 2 ないし 7 のいずれかに記載の MOS 半導体装置。

【請求項 9】前記凸部の配置頻度が、第一導電形表面領域の長さ 50 μm 当たり一個以下であることを特徴とする請求項 8 に記載の MOS 半導体装置。

【請求項 10】前記凸部の配置頻度が、第一導電形表面領域の長さ 250 μm 当たり一個以下であることを特徴とする請求項 9 に記載の MOS 半導体装置。

【請求項 11】前記凸部の第一導電形表面領域から突出した寸法が、2 μm 以下であることを特徴とする請求項 8 ないし 10 のいずれかに記載の MOS 半導体装置。

【請求項 12】第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられ

たゲート電極層と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有するMOS半導体装置において、前記ゲート電極層が、幅に対して長さの長い複数のストライプ状をなすことを特徴とするMOS半導体装置。

【請求項13】前記ストライプ状のゲート電極が、平面図上でそれぞれ第二導電型ウェル領域に囲まれて配置されていることを特徴とする請求項12に記載のMOS半導体装置。

【請求項14】前記ストライプ状のゲート電極がそれぞれ一つ以上の前記第一導電形表面領域を覆って配置されていることを特徴とする請求項12または13に記載のMOS半導体装置。

【請求項15】前記ストライプ状のゲート電極の主たる部分の幅が $4 \sim 8 \mu\text{m}$ の範囲にあることを特徴とする請求項12ないし14のいずれかに記載のMOS半導体装置。

【請求項16】前記ストライプ状のゲート電極の主たる部分の幅が $5 \sim 7 \mu\text{m}$ の範囲にあることを特徴とする請求項15に記載のMOS半導体装置。

【請求項17】前記ストライプ状のゲート電極の長さが $100 \mu\text{m}$ 以上であることを特徴とする請求項12ないし16のいずれかに記載のMOS半導体装置。

【請求項18】前記ストライプ状のゲート電極の長さが $500 \mu\text{m}$ 以上であることを特徴とする請求項17に記載のMOS半導体装置。

【請求項19】前記ストライプ状のゲート電極間をつなぐ幅の狭いブリッジ部分を有することを特徴とする請求項12ないし18のいずれかに記載のMOS半導体装置。

【請求項20】前記ゲート電極のブリッジ部分の幅が $4 \mu\text{m}$ 以下であることを特徴とする請求項19に記載のMOS半導体装置。

【請求項21】前記ゲート電極のブリッジ部分の主たる部分の下には前記第二導電型ウェル領域が配置されていることを特徴とする請求項19または20に記載のMOS半導体装置。

【請求項 2 2】前記ゲート電極のブリッジ部分の配置頻度が、ゲート電極の長さ $50\mu\text{m}$ 当り一個以下であることを特徴とする請求項 1 9 ないし 2 1 のいずれかに記載の MOSF 半導体装置。

【請求項 2 3】前記ゲート電極のブリッジ部分の配置頻度が、ゲート電極の長さ $250\mu\text{m}$ 当り一個以下であることを特徴とする請求項 2 2 に記載の MOS 半導体装置。

【請求項 2 4】前記電圧支持層が、第一導電型の半導体領域からなることを特徴とする請求項 1 ないし 2 3 のいずれかに記載の MOS 半導体装置。

【請求項 2 5】前記電圧支持層が、第一導電型半導体領域と第二導電型半導体領域を交互に配置した領域を含むことを特徴とする請求項 1 ないし 2 3 のいずれかに記載の MOS 半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、金属 (M) - 酸化膜 (O) - 半導体層 (S) のゲート構造をもつ MOS 電界効果トランジスタ (MOSFET)、絶縁ゲートバイポーラトランジスタ (IGBT) 等の MOS 半導体装置、特に半導体基板の両面に設けられた電極間に電流が流れる縦型の MOS 半導体装置に関する。

【0002】

【従来の技術】

一般に、パワー半導体素子には半導体基板の両面に設けられた電極間に電流が流れる縦型半導体が多用されている。図 20 は従来のプレーナー型の n チャネル縦型 MOSFET の一例の断面図である。

この縦型 MOSFET ではドレイン金属電極 20 が導電接合した低抵抗の n^+ ドレイン層 11 の上に電圧支持層となる高比抵抗の n^- ドリフト層 12 が配置され、その n^- ドリフト層 12 の上に選択的に p ウェル領域 13 が配置され、その p ウェル領域 13 内部の表面層に選択的に n^+ ソース領域 15 が形成されている。

【 0 0 0 3 】

n^+ ソース領域 1 5 と n^- ドリフト層 1 2 の表面露出部分 1 4 とに挟まれた p ウェル領域 1 3 の表面上にゲート絶縁膜 1 7 を介してゲート電極層 1 8 が設けられ、 n^+ ソース領域 1 5 と p ウェル領域 1 3 との表面に共通に接触してソース電極 1 9 が設けられている。

上記デバイス内の p ウェル領域 1 3 のソース電極 1 9 と接触する表面にソース電極 1 9 との接触抵抗を低減させる乃至はラッチアップ耐量向上の為に p^+ コンタクト領域 2 1 が設けられる場合もある。

【 0 0 0 4 】

このような縦型 MOSFET における、オン状態の時のオン抵抗は素子内部の電流経路の抵抗の総和として表すことが可能であるが、特に高耐圧素子のオン抵抗では高比抵抗の n^- ドリフト層 1 2 の部分の抵抗が支配的になる。

MOSFET の損失を下げる為にはこの n^- ドリフト層 1 2 の比抵抗を下げたり、厚さを薄くしたりすることが有効である。しかし、オフ状態の時にはこの n^- ドレイン層 1 2 が空乏化して電圧支持層となる為、抵抗値を下げるために n^- ドリフト層 1 2 の不純物濃度を高くして比抵抗を下げたり、厚さを薄くしたりすると、耐圧低下が起きてしまう。

【 0 0 0 5 】

逆に耐圧の高い半導体装置では n^- ドリフト層 1 2 を厚くしなければならないため、必然的にオン抵抗が高くなり、損失が大きくなる。

すなわちオン抵抗と耐圧の間にはトレードオフ関係がある。このトレードオフ関係は MOSFET だけでなく、IGBT、バイポーラトランジスタ、ダイオード等のパワー半導体素子に於いても、程度の差はあれ同様に成立することが知られている。

【 0 0 0 6 】

また、従来の上記のようなデバイスでは、p ウェル領域 1 3 は一般的にゲート電極層 1 8 をマスクにして不純物を導入して形成されるため、その平面形状はほぼゲート電極層 1 8 の反転形状になる。図 2 1、図 2 2 は、従来デバイスのゲート電極 1 8 のパターンの例を示す平面図である。

図 2 1 は、ゲート電極 1 8 の窓あけ形状が四角形の例であり、例えば特公平 7 - 8 3 1 2 3 号公報等の開示されている。p ウェル領域 1 3 は、ゲート電極 1 8 の窓を通じた不純物導入により形成されるため、その平面形状は四角形となる。 n^+ ソース領域はゲート電極 1 8 の窓を一方の端とした不純物導入により四角環状に形成される。図 2 1 のゲート電極 1 8 の窓内部には、p ウェル領域 1 3 及び n^+ ソース領域と接触して設けられるソース電極の接触領域 2 4 が示されている。ソース電極接触領域 2 4 も相似の四角形とされる。

【 0 0 0 7 】

図 2 2 はゲート電極 1 8 の窓あけ形状が六角形の例であり、例えば U S P 4, 5 9 3, 3 0 2 等の開示されている。この場合も p ウェル領域 1 3 の平面形状は六角形となる。ソース電極接触領域 2 4 も相似の六角形とされる。

【 0 0 0 8 】

【発明が解決しようとする課題】

p ウェル領域 1 3 の形状が図 2 1、図 2 2 のような場合、各 p ウェル領域 1 3 は n^- ドリフト層 1 2 の n^- ドリフト表面部 1 4 に囲まれた形状となっている。言い換えると、 n^- ドリフト表面部 1 4 に対して p ウェル領域 1 3 が凸型を形成していることから、その間の p n 接合部分の電界強度が形状効果によって高くなり、本来 n^- ドリフト層 1 2 と p ウェル領域 1 3 との不純物濃度で決まる耐圧よりも低い耐圧となってしまう。

【 0 0 0 9 】

このことから、耐圧を確保するためには n^- ドリフト層 1 2 の不純物濃度を低くする必要があり、それが更にオン抵抗を増加させる一因となっていた。

この p ウェル領域 1 3 の形状効果による耐圧低下を抑制する方法として、例えば U S P 5, 7 2 3, 8 9 0 ではゲート電極の主要部分を一方向に延びたストライプ状とする方法がおこなわれている。

【 0 0 1 0 】

図 2 3 は、そのゲート電極 1 8 のパターンを示す平面図である。この場合、p ウェル領域 1 3 の主要部分の平面形状もストライプ状となる。コンタクト領域 2 4 もストライプ状とされる。

しかし、このゲート電極 1 8 をストライプ状とした MOSFET においても問題が無いわけではない。

【 0 0 1 1 】

従来の四角形や六角形の窓を持つゲート電極の場合、ゲート電極への制御信号はゲート電極の形状がネットワーク的に作用するため、そのゲート抵抗は低く抑えられていた。しかし、ゲート電極 1 8 をストライプ状とした場合、ゲート電極への制御信号は、ストライプの両端からのみの一方向経路しか無いためゲート抵抗は増加してしまい、後述するスイッチング損失の増大を招くことになった。

【 0 0 1 2 】

MOSFET の損失低減には、先に述べたオン抵抗によるオン状態の損失低減と共に、スイッチング時の損失低減も必要である。一般的にスイッチング時の損失低減には、スイッチング時間の短縮、特に素子がオン状態からオフ状態に変わる際のスイッチング時間を短縮することが重要である。

縦型 MOSFET のスイッチング時間を短縮するためには、図 2 0 の n^- 表面領域 1 4 とゲート絶縁膜 1 7 を介して対向しているゲート電極 1 8 との間で構成される容量 C_{rss} を低減させることが必要である。そして、それには p ウェル領域 1 3 に挟まれた n^- 表面領域 1 4 の幅を小さくすることが有効である。

【 0 0 1 3 】

しかし、p ウェル領域 1 3 に挟まれた n^- 表面領域 1 4 の幅を小さくすると、MOSFET のオン抵抗成分の一つである、接合型電界効果トランジスタ作用による抵抗成分（以下 JFET 抵抗と記す）が大きくなり、オン抵抗が高くなってしまう。

この JFET 抵抗が高くなる問題の解決法の一つとして、例えば USP 4, 593, 302 に開示されているカウンタードープ法がある。確かにその技術を用いて、オン抵抗の増加を抑制することができるが、JFET 抵抗を少しでも下げるため n^- 表面領域 1 4 の幅を大きくすると耐圧低下に繋がってしまう。この耐圧低下を避けるには、逆にカウンタードープの量を少なくする必要があり、結果的に JFET 抵抗の増加抑制効果が小さくなるという堂々巡りに陥ってしまう問題がある。

【 0 0 1 4 】

また、スイッチング損失低減のためには、上記 C_{rss} の低減以外にゲート駆動電荷量 Q_g の低減も有効である。 Q_g は MOS 型デバイスの入力容量 C_{iss} に対するゲート・ソース間電圧 V_{gs} が 0 (V) から駆動電圧 V_1 (V) までの充電電荷量として計算され次式で表される。

【 0 0 1 5 】

【数 1】

$$Q_g = \int_0^{V_1} C_{iss} \cdot V_{gs} dV$$

上式から C_{iss} を低減することが、 Q_g の低減に繋がることになる。

MOS 型デバイスでの C_{iss} は端子間容量で下式で表される。

【 0 0 1 6 】

【数 2】

$$C_{iss} = C_{gs} + C_{gd}$$

ここで、 C_{gs} はゲート・ソース間容量、 C_{gd} はゲート・ドレイン間容量 ($=C_{rss}$) である。

【 0 0 1 7 】

C_{rss} の低減には、先に記したカウンタードープによる JFET 抵抗の低減による解決策の他に、別の解決策もある。図 2 4 は別の解決策を取った MOSFET の断面図である。 n^- 表面領域 1 4 と対向するゲート絶縁膜 1 7 の一部に厚いゲート絶縁膜 2 5 を設けて、 C_{rss} の低下を図っている。

しかしこの場合は、ゲート絶縁膜 1 7 と厚いゲート絶縁膜 2 5 の絶縁膜に段差が生じるため、段差部分の電界強度が高くなり耐圧低下を起こす問題がある。

【 0 0 1 8 】

更に C_{gs} を低減には、ゲート電極 1 8 の面積を小さくする方法が考えられるが、例えば図 2 3 に示すストライプ状ゲート電極の場合、ゲート電極の幅を細くすると、前述のデバイス内部のゲート抵抗が増加してスイッチング損失が増加する。

以上のような種々の問題に鑑み本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に改善し、高耐圧でありながらオン抵抗の低減をはかり、更にスイッチング損失の低減も同時に実現可能な半導体素子を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

上記課題解決のため本発明は、第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有するMOS半導体装置において、次のような手段を取る。

【 0 0 2 0 】

まず、電圧支持層が表面に達している部分である第一導電型表面領域が第二導電型ウェル領域に囲まれているものとする。

そのようにすれば、第二導電形ウェル領域が第一導電形表面領域に囲まれて配置された構造の従来のデバイスと異なり、第二導電形ウェル領域の形状効果による電界の強度の増加を抑制することが可能となり、電圧支持層を低抵抗化しても高い耐圧が確保できるようになる。そして電圧支持層を低抵抗化すれば、低オン抵抗化が実現出来る。

【 0 0 2 1 】

更に前記半導体表面におけるMOS構造を備えた第一導電形ソース領域を含めた第二導電形ウェル領域の表面積に対する前記第二導電形ウェルに囲まれて配置された第一導電形表面領域の面積比率を小さくすることによって、第一導電形表面領域とゲート絶縁膜を介して対向するゲート電極との間で構成される容量 C_{rss} を低減することが可能となる。しかし、前記半導体表面の第一導電形ドレイ

ン領域の面積比率を小さくすると、先に説明したようにオン抵抗が高くなる。

【0022】

この第一導電形表面領域の面積比率を変えた試作デバイスについての、その面積比率と先に記したゲート・ドレイン間容量 C_{rss} およびオン抵抗 R_{on} との関係を図13に示す。横軸は第一導電形ソース領域を含めた第二導電形ウェル領域の表面積に対する第一導電形表面領域の面積比率、縦軸は C_{rss} および R_{on} である。なおこの試作実験は、後述する実施例1のタイプの活性領域の面積を約 16mm^2 としたnチャネルMOSFETについておこなったものである。第一導電形表面領域の長さは 3.6mm である。

【0023】

図13より C_{rss} は第一導電形表面領域の面積比率に比例して大きくなることがわかる。従って、面積比率はできるだけ小さいほうが望ましく、 C_{rss} を実デバイスで許容できる 15pF 以下とするには、面積比率を 0.23 以下とする必要がある。

一方 R_{on} は、第一導電形表面領域の面積比率が 0.15 ないし 0.2 で最小となる。面積比率が 0.2 より大きくなると緩やかに造大し、逆に 0.15 よりも小さくなると、急速に増大している。従って、 R_{on} を実デバイスで許容出来る最小値の2倍以下に抑えるためには、面積比率を 0.01 以上とする必要がある。

【0024】

これらを総合して面積比率は、 $0.01 \sim 0.2$ の範囲とすることが望ましい。そうすれば、低オン抵抗と低 C_{rss} を兼ね備えたデバイスが実現できる。

次に、表面における第一導電型表面領域の形状が、幅に対して長さの長いストライプ状をなすものとする。

そのようにしてもまた、ストライプ状の第一導電型表面領域が第二導電型ウェル領域に囲まれているので、従来のデバイスのような第二導電型ウェル領域が第一導電型表面領域に囲まれて配置された構造と異なり、第二導電型ウェル領域の形状効果による電界の強度の増加を抑制することが可能となり、電圧支持層を低抵抗化しても高い耐圧が確保できるようになる。

【 0 0 2 5 】

更に、前記半導体表面における前記ストライプ状の第一導電型表面領域の主たる部分の幅を $0.1 \sim 2 \mu\text{m}$ の範囲とする。

第一導電型表面領域のストライプの幅を小さくすることによって、第一導電形表面領域とゲート絶縁膜を介して対向するゲート電極との間で構成される容量 C_{rss} を低減することが可能となる。しかし、同時にオン抵抗が高くなる。

【 0 0 2 6 】

第一導電形表面領域の幅を変えた試作デバイスについての、第一導電形表面領域の幅と C_{rss} およびオン抵抗 R_{on} との関係を図 14 に示す。横軸は第一導電形表面領域の幅、縦軸は C_{rss} および R_{on} である。第一導電形表面領域の長さは 3.6mm とした。

図 14 より C_{rss} は第一導電形表面領域の幅に比例して大きくなることがわかる。従って、幅はできるだけ小さいほうが望ましく、 C_{rss} を実デバイスで許容できる 15pF 以下とするには、幅を約 $3 \mu\text{m}$ 以下とする必要がある。

【 0 0 2 7 】

一方 R_{on} は、第一導電型表面領域の幅が 1.5 ないし $2 \mu\text{m}$ で最小となる。幅が $2.5 \mu\text{m}$ より大きくなると緩やかに増大し、逆に $1 \mu\text{m}$ よりも小さくなると、急速に増大している。従って、 R_{on} を実デバイスで許容出来る最小値の 2 倍以下に抑えるためには、幅を $0.1 \mu\text{m}$ 以上とする必要がある。

このようにドレイン領域が短い範囲ではオン抵抗と C_{rss} はトレードオフの関係にある。実使用上低オン抵抗で低 C_{rss} を両立するには C_{rss} が 15pF 以下でオン抵抗が 1.5Ω 以下が望ましいことから第一導電型表面領域の幅は $0.1 \mu\text{m}$ 以上、 $2 \mu\text{m}$ 以下の範囲に限定される。そうして小さい C_{rss} が実現できれば、スイッチング損失を小さくすることができる。

【 0 0 2 8 】

また、ストライプ状の第一導電型表面領域の主たる部分の幅が広がると表面での電界強度の高くなり耐圧が低下する。一方、上記表面ドレイン領域の主たる部分の幅が狭くなると J F E T 抵抗が増加してオン抵抗が高くなるが、上のように最適の寸法範囲を限定することで耐圧が低下せず、オン抵抗が高くないデバ

イスが可能となる。

【0029】

ストライプ状の第一導電型表面領域の場合にも、第二導電形ウェル領域と第一導電形ソース領域との表面積の和に対する前記第二導電形ウェルに囲まれて配置された第一導電形表面領域の面積比率を小さくすることによって、第一導電形表面領域とゲート絶縁膜を介して対向するゲート電極との間で構成される容量 C_{rss} を低減することが可能となる。同時にオン抵抗が増大するが、先に述べたように第一導電型表面領域の面積比率の範囲を限定することで、耐圧の低下が起きずに、オン抵抗の増加が許容範囲内で、 C_{rss} も小さく抑えることが出来るデバイスが可能となる。

【0030】

いくつかの手段を1つのデバイス内で満足する構造とすることでより性能の向上するデバイスが可能となる。

ストライプ状の第一導電型表面領域の長さが長くなると、同一面積でのチャネル幅が広がることからオン抵抗が低くなるが、一方でデバイス内部のゲート抵抗が高くなり、このことでスイッチング時間が遅くなり、スイッチング損失が増加する。

【0031】

逆に第一導電型表面領域の長さ方向の途中にゲート電極を設ける等して、長さを短くすると、デバイス内部のゲート抵抗は小さくなりスイッチング時間が短くなることでスイッチング損失が低減するものの、同一面積でのチャネル幅が狭くなることからオン抵抗が高くなる。

つまり第一導電型表面領域の長さを適当な範囲に限定することが重要である。

【0032】

第一導電形表面領域の長さを変えた試作デバイスについての、第一導電形表面領域の長さでスイッチング時間を支配する出力容量 C_{oss} およびオン抵抗 R_{on} との関係を図15、16、17、18に示す。横軸は第一導電形表面領域の長さ、縦軸は C_{iss} または R_{on} である。第一導電形表面領域の幅 $1.6\mu m$ 、表面積比率は0.12とした。

【0033】

図15において、第一導電形表面領域の長さが $500\mu\text{m}$ 以上になると C_{oss} は殆ど変わらない値となるが、 $500\mu\text{m}$ 以下では徐々に増加を示している。

図16は図15の中の第一導電形表面領域の長さが $400\mu\text{m}$ 以下の部分を拡大した特性である。図14から C_{iss} は $100\mu\text{m}$ 以下になると急激に増大することがわかる。このことから、スイッチング時間を短くするためには表面nドレイン領域の1方向に沿った長さは $100\mu\text{m}$ 以上、望ましくは $500\mu\text{m}$ 以上に限定されるべきであることがわかる。

【0034】

次にオン抵抗との関係を図17と図18に示す。図17に見られるように第一導電形表面領域の長さが $500\mu\text{m}$ 以上になるとオン抵抗は殆ど変わらない値となるが、 $500\mu\text{m}$ 以下では徐々に増加を示している。図18は図17の中のドレイン領域の長さが $400\mu\text{m}$ 以下の部分を拡大した特性である。図18からオン抵抗は $100\mu\text{m}$ 以下になると急激に増加する。このことから、オン抵抗を低くするためには表面nドレイン領域の1方向に沿った長さは $100\mu\text{m}$ 以上、特に $500\mu\text{m}$ 以上に限定されるべきである。

【0035】

そのようにすれば、オン抵抗が低く、スイッチング損失の小さいデバイスが実現出来る。

また、ゲート電極がストライプ状の複数の部分であってもよい。

そのようなゲート電極をマスクとして第二導電形ウェル領域を形成すれば、その下方に必然的に第二導電形ウェル領域で周囲を囲まれたストライプ状の第一導電型表面領域が形成される。

【0036】

先に、第一導電型表面領域の幅は $0.1\mu\text{m}$ 以上、 $2\mu\text{m}$ 以下の範囲に限定されると記した。第一導電型表面領域の幅は、第二導電形ウェル領域を形成する際のマスクとなるゲート電極の幅と不純物濃度の横方向への拡散距離で決定される。従って、第一導電型表面領域の幅を上記の適当な値にするためには、横方向拡散距離を約 $2\mu\text{m}$ 弱とすると、ゲート電極の幅を $4\sim 8\mu\text{m}$ 、望ましくは $5\sim 7$

μm とするのが良いことになる。

【0037】

また、同じ理由で第一導電型表面領域の長さは、ストライプ状ゲート電極の長さで決定されるので、ストライプ状ゲート電極の値についても先に記した第一導電型表面領域の適当な値である $100\mu\text{m}$ 以上、望ましくは $500\mu\text{m}$ 以上とするのがよいことになる。

ストライプ状のゲート電極間をつなぐ幅の狭いブリッジ部分を有するものとするれば、ゲート抵抗が低減される。

【0038】

そして、そのゲート電極のブリッジ部分の幅は $4\mu\text{m}$ 未満であるものとする。

$4\mu\text{m}$ 未満であれば、第二導電形ウェル領域を形成する際の横方向拡散距離を約 $2\mu\text{m}$ とすると、ブリッジ部分の下方は両側からの拡散により、第二導電形ウェル領域がつながってしまい、第一導電型表面領域を囲む第二導電型ウェル領域が形成される。

【0039】

ゲート電極のブリッジ部分の配置頻度については、ゲート電極の長さ $50\mu\text{m}$ 当り一個以下、望ましくは $250\mu\text{m}$ 当り一個以下とする。

ゲート電極のブリッジ部分を多数設けると、デバイス内部のゲート抵抗は小さくなるものの、ゲート・ドレイン間容量 C_{gd} が増すので、スイッチング速度が遅く、スイッチング損失が増すことになる。また、しかしゲート電極の下方は、両側からの拡散により、第二導電形ウェル領域がつながるが、その表面層に形成される第一導電型ソース領域の拡散深さは浅いため、横方向拡散距離も短くつながらない。従って、ゲート電極のブリッジ部分の下方はチャンネルが形成されず無効領域となるので、同一面積でのチャンネル幅が狭くなることからオン抵抗が高くなる。ブリッジ部分を無闇に数を増やすことは得策でない。ストライプ状ゲート電極の長さ $100\mu\text{m}$ 、望ましくは $500\mu\text{m}$ の間に1個以上設けない方が良い。

【0040】

前記電圧支持層は、第一導電型の半導体領域からなるものでも、また第一導電

型半導体領域と第二導電型半導体領域を交互に配置したいわゆる超接合型としても良い。

【 0 0 4 1 】

【発明の実施の形態】

以下に本発明の実施形態を添付図面に基づいて説明する。

〔実施例 1〕

図 2 は本発明第一の実施形態の n チャネル縦型 MOSFET の、主電流が流れる活性部分の部分断面図である。MOSFET のチップには、主に周縁領域に耐圧を保持するガードリング、フィールドプレートといった耐圧構造が設けられるが、本発明の本質に係わる部分ではないので省略した。

【 0 0 4 2 】

低抵抗の n^+ ドレイン層 1 1 上の高比抵抗の n^- ドリフト層 1 2 の表面層に選択的に p ウェル領域 1 3 が形成され、その p ウェル領域 1 3 の内部に n^+ ソース領域 1 5 が形成されている。 p ウェル領域 1 3 の間には、 n^- ドリフト層 1 2 の一部である n^- 表面領域 1 4 が表面に達している。2 1 はコンタクト抵抗を改善するための高不純物濃度の p^+ コンタクト領域である。

【 0 0 4 3 】

n^+ ソース領域 1 5 と n^- 表面領域 1 4 とに挟まれた p ウェル領域 1 3 の表面上には、ゲート絶縁膜 1 7 を介して多結晶シリコンのゲート電極層 1 8 が設けられている。1 9 は n^+ ソース領域 1 5 と p^+ コンタクト領域 2 1 とに共通に接触するソース電極である。このようにソース電極 1 9 はゲート電極層 1 8 の上および側方に形成された層間絶縁膜 2 2 を介してゲート電極層 1 8 上に延長されることが多い。 n^+ ドレイン層 1 1 の裏面側には、ドレイン電極 2 0 が設けられている。

【 0 0 4 4 】

このデバイスの動作機構を簡単に説明する。

阻止状態では一般に接地されているソース電極 1 9 と同電位の p ウェル領域 1 3 から n^- ドリフト層 1 2 側に向かって空乏層が広がって、空乏層の幅と電界強度で決まる耐圧が確保される。空乏層の広がり n^- ドリフト層 1 2 の厚さと比

抵抗とできまり、高耐圧を得る為には比抵抗を高く、厚さを厚くすれば良い。

【 0 0 4 5 】

ゲート電極 1 8 にソース電極 1 9 に対してプラス電位を印加すると、ゲート電極 1 7 を介して p ウェル領域 1 3 の表面層 1 6 に反転層が形成されてチャネルとして動作し、キャリアとして電子が n^+ ソース領域 1 5 からチャネルを通過して n^- 表面ドレイン層 1 4 に流れ、 n^- ドリフト層 1 2、 n^+ ドレイン層 1 1 を経てドレイン電極 2 0 に流れ、オン状態となる。

【 0 0 4 6 】

図 2 の断面図は、図 2 3 の従来のものと良く似ており、異なっている点は p ウェル領域 1 3 の間の n^- 表面領域 1 4 の幅が狭いことである。

むしろこの実施例 1 の縦型 MOSFET の特徴を良く表しているのは、図 1 の半導体基板表面の平面図である。なお図 1 では、通常半導体素子の周縁領域に設けられる耐圧構造部を、本発明の本質に係わらないため省略している。

【 0 0 4 7 】

図 1 において、p ウェル領域 1 3 が、多数の 1 方向に延びたストライプ状の n^- 表面領域 1 4 を囲んで配置されている。ストライプ状の n^- 表面領域 1 4 の長さが数種類あるのは、図 3 のチップ表面の電極配置図におけるソース電極 1 9、ゲート金属電極 2 7 に対応させるためである。ソース電極 1 9 の幅が広い部分では、長いストライプ状 n^- 表面領域 1 4 a が配置され、ゲート金属電極 2 7 が入り込んでいる部分では短いストライプ状 n^- 表面領域 1 4 b、ゲート電極パッド 2 9 が設けられてゲート金属電極の幅が広い部分では、更に短いストライプ状 n^- 表面領域 1 4 c となっている。

【 0 0 4 8 】

図 3 において、ソース電極 1 9 の内部に外部端子と接続するためのソースパッド 2 8 が設けられている。ソース電極 1 9 を取り囲み、また一部がソース電極 1 9 の内部に向かってゲート金属電極 2 7 が配置され、ソース電極 1 9 の内部に向かったゲート金属電極 2 7 の一部に外部端子と接続するためのゲートパッド 2 9 が設けられている。図 3 のなかの最外周の外周ドレイン電極 3 0 は、一般的に耐圧構造部の最外周に設けられる空乏層の広がりを抑えるためのストッパ電極であ

る。

【 0 0 4 9 】

図 4 は、図 1 の半導体表面の各領域を作成するマスクとなるゲート電極 1 8 の形状、およびゲート電極 1 8 とソース電極接触部 2 4 との相対配置関係を示す平面図である。但し、ストライプの長さは一定の部分である。共にストライプ状のソース電極接触部 2 4 とゲート電極層 1 8 とが、交互に配置されている。1 方向に延びたゲート電極層 1 8 の終端部は、一度細くなった後、再び広がっている。このゲート電極が終端の前に細くなっているのは活性領域以外のゲート電極面積を最小限にする為と、工程上ゲート電極層 1 8 をマスクとして p ウェル領域 1 3 を形成する場合、アクセプタ不純物濃度の拡散により、できるだけ前記の細くなったゲート電極層の下を覆うようにすることで C_{rs} の低減が可能となる為である。また、ゲート電極層 1 8 の端が広がっているのは、ゲート金属電極との接続のための接合部分 2 6 が設けられているためである。この接合部分 2 6 の上に図 4 のゲート金属電極 2 7 が位置合わせされる。

【 0 0 5 0 】

もう一度図 2 に戻るが、ストライプ状 n^- 表面領域 1 4 a、b、c の端の先に、p ウェル領域 1 3 で囲まれた小さな n^- 表面領域 1 4 d が配置されているのが見られる。この n^- 表面領域 1 4 d は、ゲート電極層 1 8 の端の接合部分 2 6 の下になった部分であり、接合部分 2 6 の寸法を加工工程の能力上必要な寸法としたとき、p ウェル領域 1 3 で囲いきれなかったものである。工程加工能力が十分に高ければ、この n^- 表面領域 1 4 d は p ウェル領域 1 3 で覆われてしまって消滅する。

【 0 0 5 1 】

この実施例 1 の MOSFET の主な寸法例は次のような値とした。

図 4 のゲート電極 1 8 の幅は $5.6 \mu\text{m}$ 、長さは 3.6mm 、ゲート電極層 1 8 間は $9.4 \mu\text{m}$ 、すなわちセルピッチを $15 \mu\text{m}$ とした。そのゲート電極層 1 8 をマスクに p ウェル領域 1 3 を形成する不純物を導入する。これにより、図 1 の n^- 表面領域 1 4 a の幅は、 $1.6 \mu\text{m}$ 、その間の p ウェル領域 1 3 の幅は $13.4 \mu\text{m}$ となる。図 2 の p ウェル領域 1 3 の拡散深さは約 $4 \mu\text{m}$ 、 n^+ ソース領

域 1 5 の幅は $2.5 \mu\text{m}$ 、拡散深さは $0.3 \mu\text{m}$ 、図 4 のソース電極接触領域 2 4 の幅は $7 \mu\text{m}$ である。このとき、半導体表面における p ウェル領域 1 3 の面積に対する n^- 表面領域 1 4 の面積比率はおよそ 0.12 となる。

【 0 0 5 2 】

ちなみに、同じ n^- 表面領域 1 4 の p ウェル領域 1 3 の面積に対する面積比率は、従来の図 2 1、2 2、2 3 の MOSFET においてそれぞれ、約 3、2、1 である。

耐圧クラスの異なる MOSFET を試作し、図 2 3 の従来の MOSFET と比較した。図 1 9 は、耐圧と R_{onA} との関係を比較した特性比較図である。横軸は耐圧 BV_{DSS} 、縦軸はオン抵抗 R_{onA} であり、いずれも対数表示している。

【 0 0 5 3 】

R_{onA} はほぼ従来の半分になっており、本発明の効果が非常に大きいことがわかる。図の傾向からこの効果は、試作していない耐圧 150 V 以下においても期待出来る。

更に、試作した MOSFET について、オン抵抗とゲートドレイン間容量との積 $[R_{on} \cdot C_{rss}]$ を 3 種類の耐圧クラス毎に従来品と比較し、表 1 にまとめた。

【 0 0 5 4 】

【表 1】

耐圧 (V)	170	660	990
実施例 1 の MOSFET	1.8 ΩpF	2.95 ΩpF	15.0 ΩpF
従来 MOSFET	8.8 ΩpF	17.5 ΩpF	80 ΩpF

$R_{on} \cdot C_{rss}$ はいずれも従来の 1/5 程度になっている。

デバイスの損失はオン抵抗とスイッチング損失で決まり、スイッチング損失は C_{rss} が小さい程小さくなることから $[R_{on} \cdot C_{rss}]$ 積の小さいデバイスが損失が小さいことになる。この特性も本発明品は従来品より大幅に小さくなっていて効果が非常に大きいことが分かる。

【 0 0 5 5 】

ゲート電極層 1 8 の幅を広げると、図 1 3 の傾向と同様に、 R_{on} の変動はあまり無いものの C_{rss} が増大し、スイッチング損失が大きくなる。逆に、ゲート電極層 1 8 の幅を狭めると C_{rss} は低下するが、 R_{on} が増大し定常損失が大きくなる。

1 方向に延びたゲート電極の 1 方向に沿った長さが実施例 1 ではチップの主電流が流れる活性部のサイズにほぼ等しく 4 mm 程度である。この長さはチップの活性部のサイズとほぼ等しい長さでも良いが、内部ゲート抵抗を増加させない為に $500\mu m$ 乃至 $100\mu m$ 以上の間隔でゲート電極と接続する部分を設けても勿論かまわない。

【 0 0 5 6 】

なお、図 2 の断面図が、図 2 0 の従来のものと略同じであることからわかるように、実施例 1 の MOSFET の製造工程は、従来のものと略同じで良く、ただパターンを変えるだけで実現できる。

【実施例 2】

図 5 は本発明第二の実施形態の n チャネル縦型 MOSFET のソース電極接触部 2 4 とゲート電極 1 8 との相対配置関係を示す平面図である。この MOSFET は請求項 (1) 乃至 (7) 及び (1 2) 乃至 (1 8)、(2 4) を満たすものである。

【 0 0 5 7 】

実施例 1 の図 4 で説明した構造と異なる点は、ストライプ状のゲート電極 1 8 の両端の他に、その中間にもゲート金属電極との接合部分 2 6 が設けられている点である。このようにすることによって、内部ゲート抵抗の低減およびオン抵抗の増加抑制に効果がある。

半分の長さのストライプ状ゲート電極層 1 8 のそれぞれの端に接合部分 2 6 を設けるより、実施例 2 の構造は活性部面積の効率を上げることができる。

【 0 0 5 8 】

半導体基板表面の平面図は、途中で n^- 表面領域 1 4 が途切れ、小さな n^- 表面領域が挟まれる。加工精度が高ければ、その小さな n^- 表面領域は無くすこと

ができる。

この実施例 2 では、ゲート金属電極との接合部分 2 6 が、ゲート電極層 1 8 の中間に 1 箇所設けられているだけであるが、当然同様の 1 方向に延びたゲート電極に対して複数箇所設けることも可能である。

【0 0 5 9】

[実施例 3]

図 6 は本発明第二の実施形態の n チャネル縦型 MOS FET の半導体基板表面の平面図である。この MOS FET は請求項 (2) 乃至 (5) 及び (8)、(9)、(11)、(12) 乃至 (22)、(24) を満たすものである。図 6 は図 2 と同様に耐圧構造部は記入されていない。

【0 0 6 0】

この例では n^- 表面領域 1 4 が、基本的に実施例 1 の図 1 と同様に、p ウェル領域 1 3 で囲まれ、1 方向にのびた形状をしている。図 2 との違いは、 n^- 表面領域 1 4 が 1 方向に延びていて、しかも延びた方向に対しておおむね垂直な方向に複数の凸部 3 1 を有している点である。

この凸部 3 1 の配置頻度はほぼ $250\text{ }\mu\text{m}$ 当たり 1 個に設定されており、また、この凸部 3 の n^- 表面領域 1 4 の延びた方向と垂直な方向への寸法は約 $0.5\text{ }\mu\text{m}$ である。

【0 0 6 1】

図 7 は図 6 の半導体表面の各領域を作成するマスクとなるゲート電極 1 8 の形状、およびゲート電極 1 8 とソース電極接触部 2 4 との相対配置関係を示す平面図である。

図 7 の形状が図 4 の形状と異なる点は、1 方向に延びたゲート電極 1 8 に、延びた方向に対して垂直にゲート電極のブリッジ 3 2 が設けられていることである。このゲート電極のブリッジ 3 2 の頻度は、ほぼ $250\text{ }\mu\text{m}$ 当たり 1 個に設定されている。また、このゲート電極ブリッジ 3 2 の幅は $2.5\text{ }\mu\text{m}$ に設定してある。

【0 0 6 2】

このゲート電極 1 8 をマスクとして不純物導入により p ウェル領域 1 3 を形成

すると、p ウェル領域 1 3 の表面横方法への拡散が $2\mu\text{m}$ で設計していることから、ゲート電極のブリッジ 3 2 の下は、ブリッジ 3 2 の両側からの拡散領域が接続されるので、一本の p ウェル領域 1 3 となる。但し、ブリッジ 3 2 の付け根の下の部分では、両側からの拡散領域が接続されないで、 n^- 表面領域の凸部 3 1 が残ることになる。

【 0 0 6 3 】

この例では、ゲート電極 1 8 がブリッジ 3 2 で接続されていることから、ゲート抵抗が低減され、オン抵抗も低減される。

〔実施例 4〕

図 8 は本発明第四の実施形態の n チャネル縦型 MOSFET のゲート電極 1 8、およびゲート電極 1 8 とソース電極接触部 2 4 との相対配置関係を示す平面図である。この MOSFET は請求項 (2) 乃至 (5) 及び (8)、(9)、(11)、(12) 乃至 (22)、(24) を満たすものである。

【 0 0 6 4 】

実施例 3 の図 7 で説明した構造と異なる点は、ストライプ状のゲート電極 1 8 の両端の他に、その中間にもゲート金属電極との接合部分 2 6 が設けられている点である。

このようにすることによって、内部ゲート抵抗の低減およびオン抵抗の増加抑制に効果的である。半分の長さのストライプ状ゲート電極層 1 8 のそれぞれの端に接合部分 2 6 を設けるより、実施例 2 の構造は活性部面積の効率を上げることができる。

【 0 0 6 5 】

半導体基板表面の平面図は、途中で n^- 表面領域 1 4 が途切れ、小さな n^- 表面領域が挟まれる。加工精度が高ければ、この n^- 表面領域 1 4 d は無くすることができる。

このゲート金属電極との接合部分は、この実施例 2 では 1 方向に延びたゲート電極の中間に 1 箇所設けられているだけであるが、当然同様の構造を 1 方向に延びたゲート電極に対して複数箇所設けることも可能である。

【 0 0 6 6 】

〔実施例 5〕

図 9 は本発明第五の実施形態の n チャネル縦型 MOSFET の半導体基板表面の平面図である。この MOSFET は請求項 (1) 乃至 (7) 及び (12) 乃至 (18)、(24) を満たすものである。図 17 には実施例 1 と同様に耐圧構造部は省略している。

【0067】

図 9 において、 n^- 表面領域 14 は 1 方向に延びたストライプ状で、複数が平行に配置され、周囲を p ウェル領域 13 で囲まれている。

図 10 は図 9 の半導体表面の各領域を作成するマスクとなるゲート電極層 18 の形状、およびゲート電極層 18 とソース電極接触部 24 との配置関係を示す平面図である。

【0068】

1 方向に延びた形状のゲート電極層 18 が複数配置されている。実施例 1 の図 4 と異なる点は、1 方向に延びたゲート電極層 18 の幅が全体で同じ幅となっているところである。加工精度が十分に高ければ、このようにゲート電極層 18 の幅内でゲート金属電極接触部 26 が形成できる。

また、本実施例 5 ではゲート電極層 18 の 1 方向に延びた終端部分の角を落として鋭角にならないような形状としているが、直角のまま終端していても本特許の内容の作用・効果に影響は無い。

【0069】

〔実施例 6〕

次に図 11 は本発明第五の実施形態の n チャネル縦型 MOSFET のゲート電極層 18 の形状、およびゲート電極層 18 とソース電極接触部 24 との配置を示す平面図である。この MOSFET は請求項 (1) 乃至 (7) 及び (12) 乃至 (18)、(24) を満たすものである。

【0070】

実施例 5 の図 10 で説明した構造と異なる点は、ストライプ状のゲート電極層 18 の両端の他に、その中間にもゲート金属電極との接合部分 26 が設けられている点である。

このようにすることによって、内部ゲート抵抗の低減およびオン抵抗の増加抑制に効果的である。半分の長さのストライプ状ゲート電極層 1 8 のそれぞれの端に接合部分 2 6 を設けるより、実施例 2 の構造は活性部面積の効率を上げることができる。

【 0 0 7 1 】

〔実施例 7〕

図 1 2 は本発明第七の実施形態の n チャネル縦型 MOS FET の主要部分の部分断面図である。

これまでの例はいずれも電圧支持層が単一の n⁻ ドリフト層 1 2 であった。しかし、電圧支持層が単一の層でなければならないわけではない。

【 0 0 7 2 】

近年、特に高耐压の半導体装置において、逆電圧印加時には空乏化する高不純物濃度で幅の狭い n 層と p 層とを交互に並べた並列 p n 層を電圧支持層とするいわゆる超接合半導体装置が開発されている。

図 1 2 の n チャネル縦型 MOS FET において、n ドリフト領域 4 2 a と p 仕切り領域 4 2 b とが交互に配置されており、この並列 p n 層 4 2 が逆電圧印加時に耐压をもつことになる。例えばそれぞれの幅が 5 μm 程度の時、不純物濃度は単一の n⁻ ドリフト層 1 2 の 1 0 0 ~ 1 0 0 0 倍に高濃度化でき、しかも厚さも薄くできて、それだけオン抵抗を低減できる。

【 0 0 7 3 】

【発明の効果】

以上説明したように本発明は、MOS 半導体装置において、第一導電型電圧支持層の表面露出部である第一導電型表面領域が、第二導電型ウェル領域に囲まれており、第一導電型ソース領域を含めた第二導電型ウェル領域の表面積に対して、その表面積の比を 0. 0 1 ~ 0. 2 の範囲内とし、或いはその形状を、その幅が 0. 1 ~ 2 μm のストライプ状とすることによって、オン抵抗と耐压とのトレードオフ関係を大幅に改善し、高耐压でありながらオン抵抗の低い、更にスイッチング損失も少ないものを実現できることを示した。

【 0 0 7 4 】

従来のMOS半導体装置の工程等を変える必要が無く、パターンを変えるだけで大幅な特性改善が可能な本発明は、特にパワー半導体の分野で大きな貢献をなすものである。

【図面の簡単な説明】

【図 1】

本発明実施例 1 の n チャネル縦型 MOS FET の基板表面の平面図

【図 2】

実施例 1 の n チャネル縦型 MOS FET の主要部の部分断面図

【図 3】

実施例 1 の n チャネル縦型 MOS FET チップの金属電極平面図

【図 4】

実施例 1 の n チャネル縦型 MOS FET のゲート電極層、ソース電極配置図

【図 5】

本発明実施例 2 の n チャネル縦型 MOS FET のゲート電極層、ソース電極配置図

【図 6】

実施例 3 の n チャネル縦型 MOS FET の基板表面の平面図

【図 7】

本発明実施例 3 の n チャネル縦型 MOS FET のゲート電極層、ソース電極配置図

【図 8】

本発明実施例 4 の n チャネル縦型 MOS FET のゲート電極層、ソース電極配置図

【図 9】

本発明実施例 5 の n チャネル縦型 MOS FET の基板表面の平面図

【図 10】

実施例 5 の n チャネル縦型 MOS FET のゲート電極層、ソース電極配置図

【図 11】

本発明実施例 6 の n チャネル縦型 MOS FET のゲート電極層、ソース電極配

置図

【図 1 2】

本発明実施例 7 の n チャネル縦型 MOSFET の主要部の部分断面図

【図 1 3】

試作した n チャネル縦型 MOSFET における表面 n ドレイン領域面積比率と C_{rss} 、 R_{on} との関係を示す特性図

【図 1 4】

試作した n チャネル縦型 MOSFET における表面 n ドレイン領域の主たる部分の幅と C_{rss} 、 R_{on} との関係を示す特性図

【図 1 5】

試作した n チャネル縦型 MOSFET における表面 n ドレイン領域の長さ と C_{oss} との関係を示す特性図

【図 1 6】

試作した n チャネル縦型 MOSFET における表面 n ドレイン領域の長さ と C_{oss} との関係を示す特性図

【図 1 7】

試作した n チャネル縦型 MOSFET における表面 n ドレイン領域の長さ と R_{on} との関係を示す特性図

【図 1 8】

試作した n チャネル縦型 MOSFET における表面 n ドレイン領域の長さ と R_{on} との関係を示す特性図

【図 1 9】

本発明の n チャネル縦型 MOSFET および比較例における耐圧と R_{onA} の関係を比較した比較図

【図 2 0】

従来の n チャネル縦型 MOSFET の断面図

【図 2 1】

従来の n チャネル縦型 MOSFET の一例のゲート電極の平面図

【図 2 2】

従来の n チャンネル縦型 MOS FET の別の例のゲート電極の平面図

【図 2 3】

従来の n チャンネル縦型 MOS FET の更に別の例のゲート電極の平面図

【図 2 4】

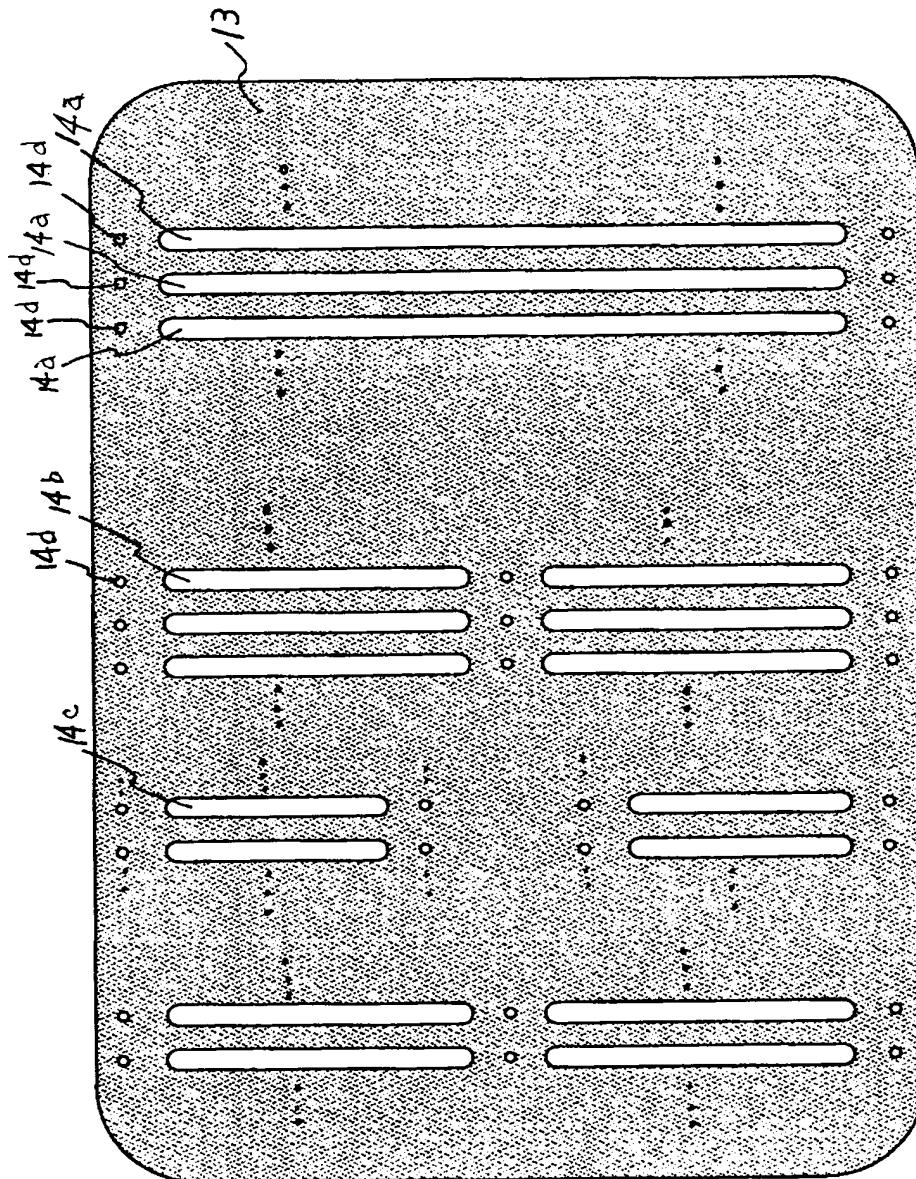
従来の n チャンネル縦型 MOS FET の別の例の断面図

【符号の説明】

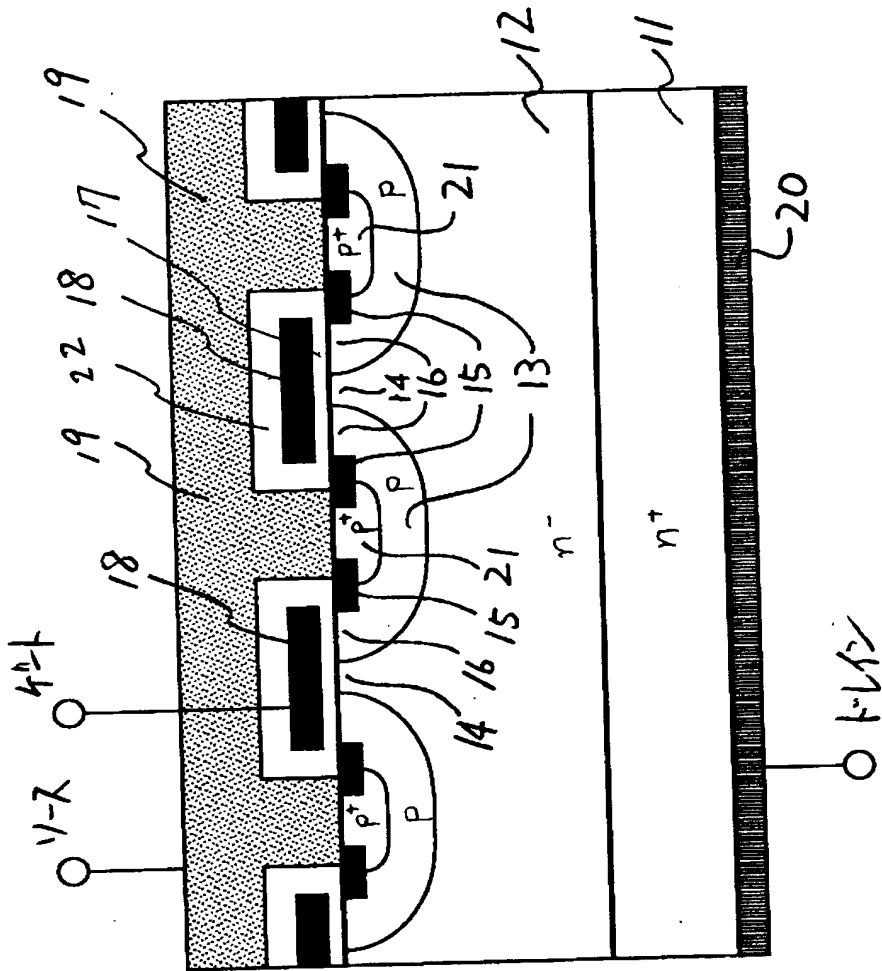
- 1 1 n ドレイン層
- 1 2 n⁻ ドリフト層
- 1 3 p ウェル領域
- 1 4、1 4 a、1 4 b、1 4 c、1 4 d n⁻ 表面領域
- 1 5 n⁺ ソース領域
- 1 6 チャンネル領域
- 1 7 ゲート酸化膜
- 1 8 ゲート電極層
- 1 9 ソース電極
- 2 0 ドレイン電極
- 2 1 p⁺ コンタクト領域
- 2 2 層間絶縁膜
- 2 4 ソース電極接触部
- 2 6 ゲート金属電極接触部
- 2 7 ゲート金属電極
- 2 8 ソース電極パッド
- 2 9 ゲート電極パッド
- 3 0 周縁電極
- 3 1 凸部
- 3 2 ゲート電極層ブリッジ
- 4 2 並列 p n 層
- 4 2 a n ドリフト領域
- 4 2 b p 仕切り領域

【書類名】 図面

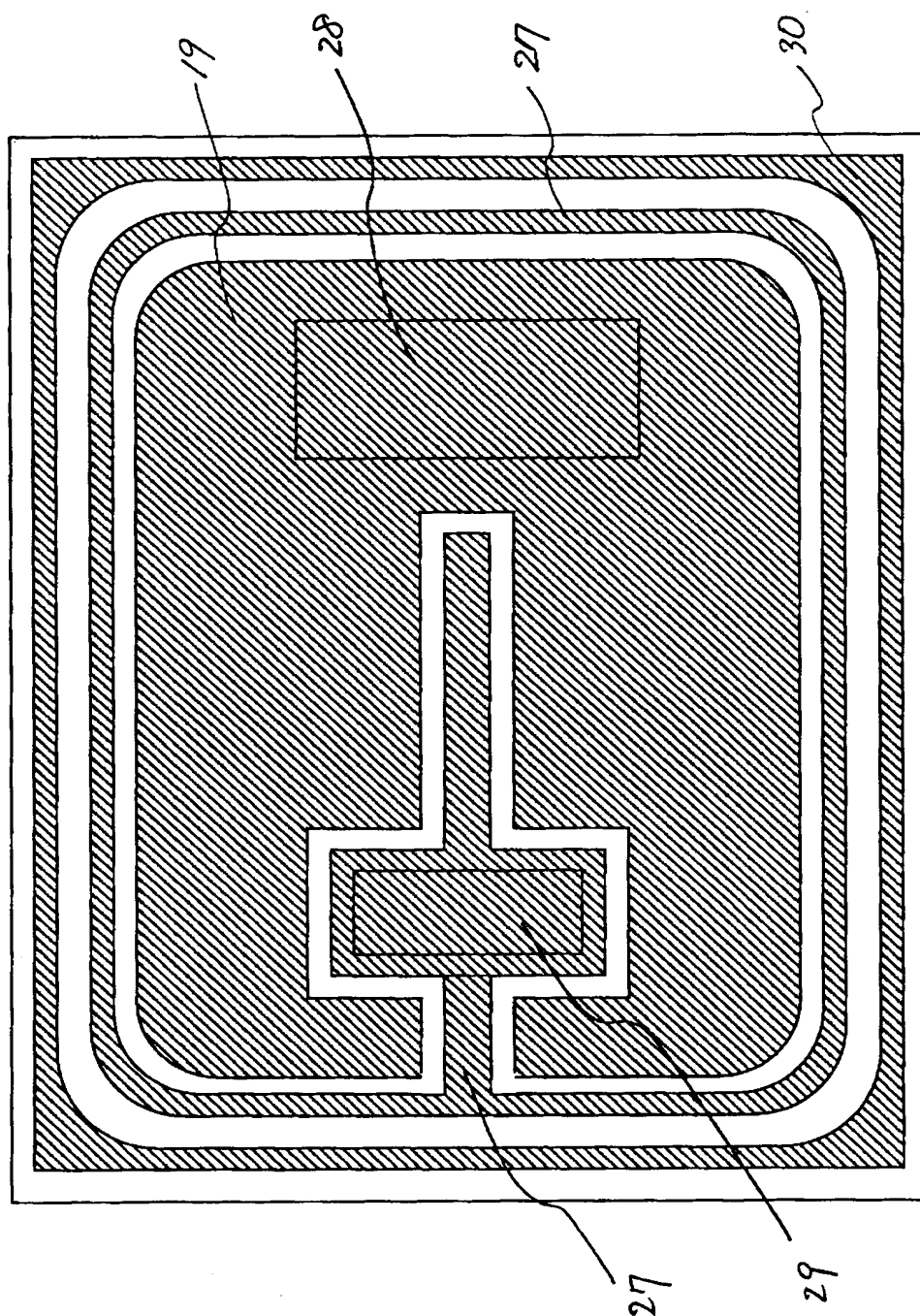
【図 1】



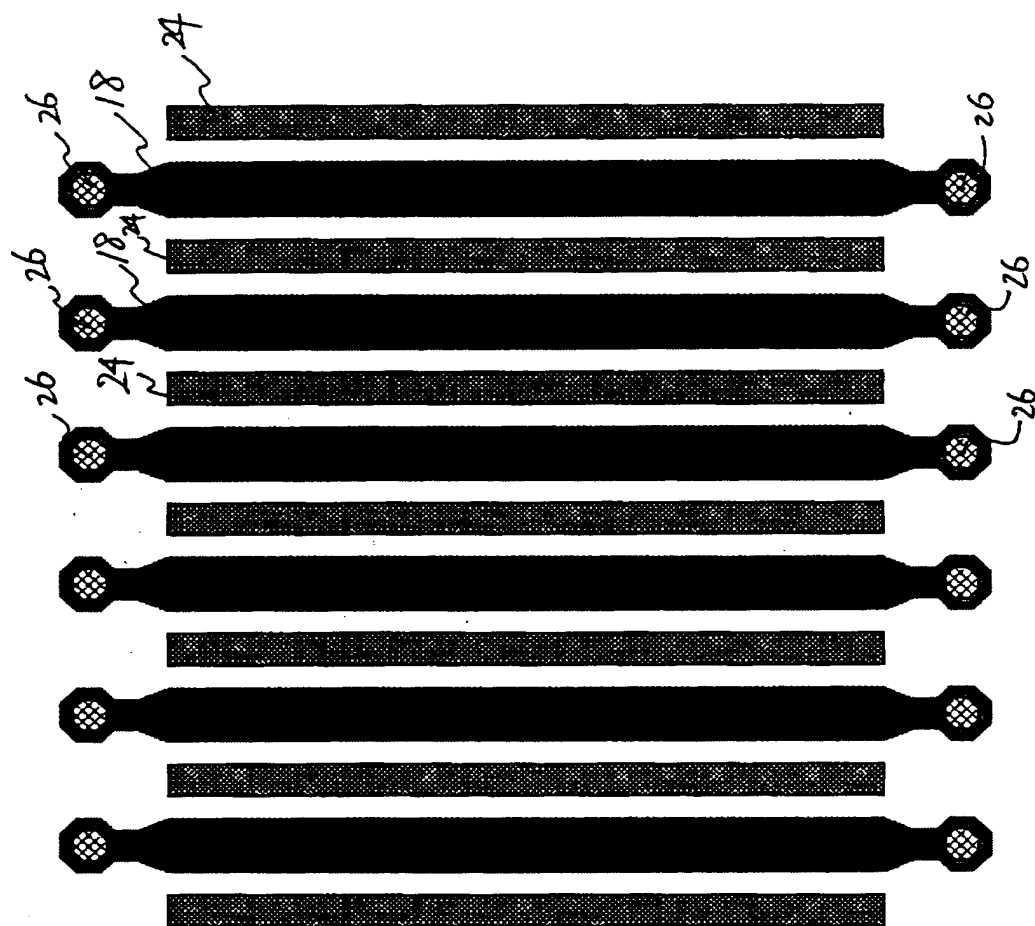
【図2】



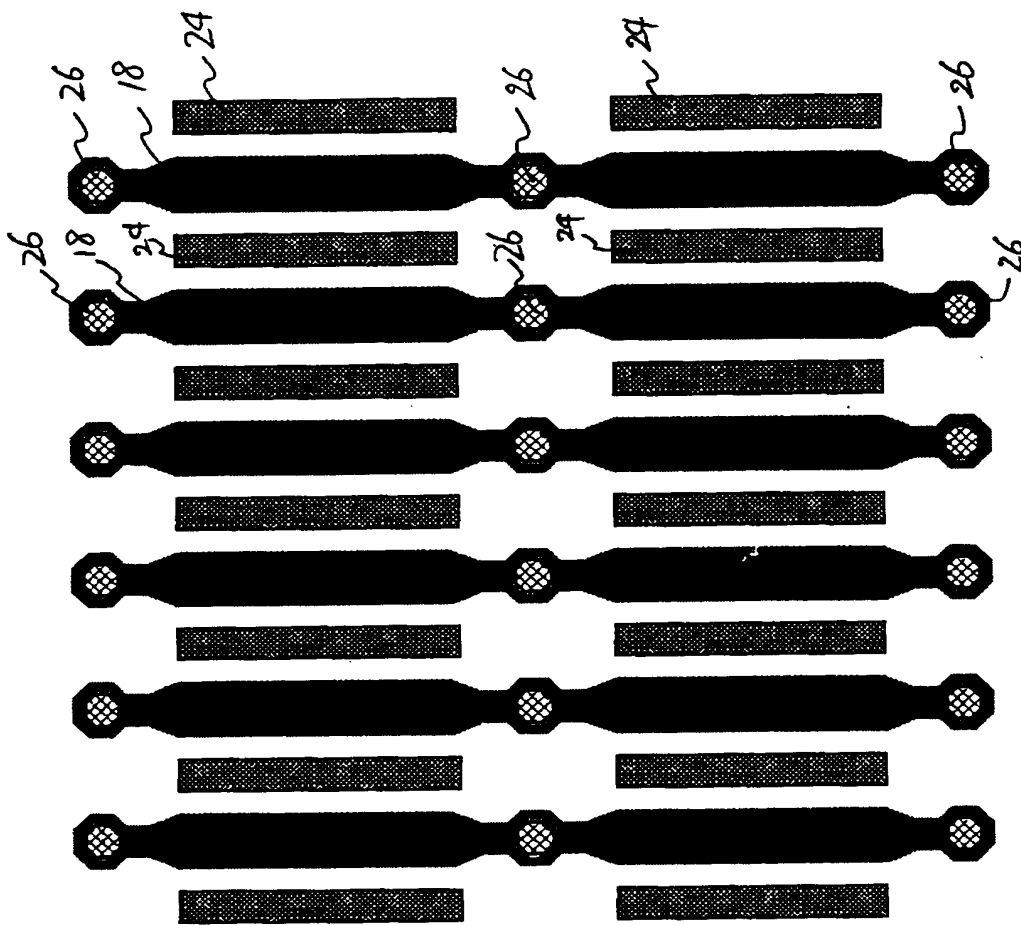
【図3】



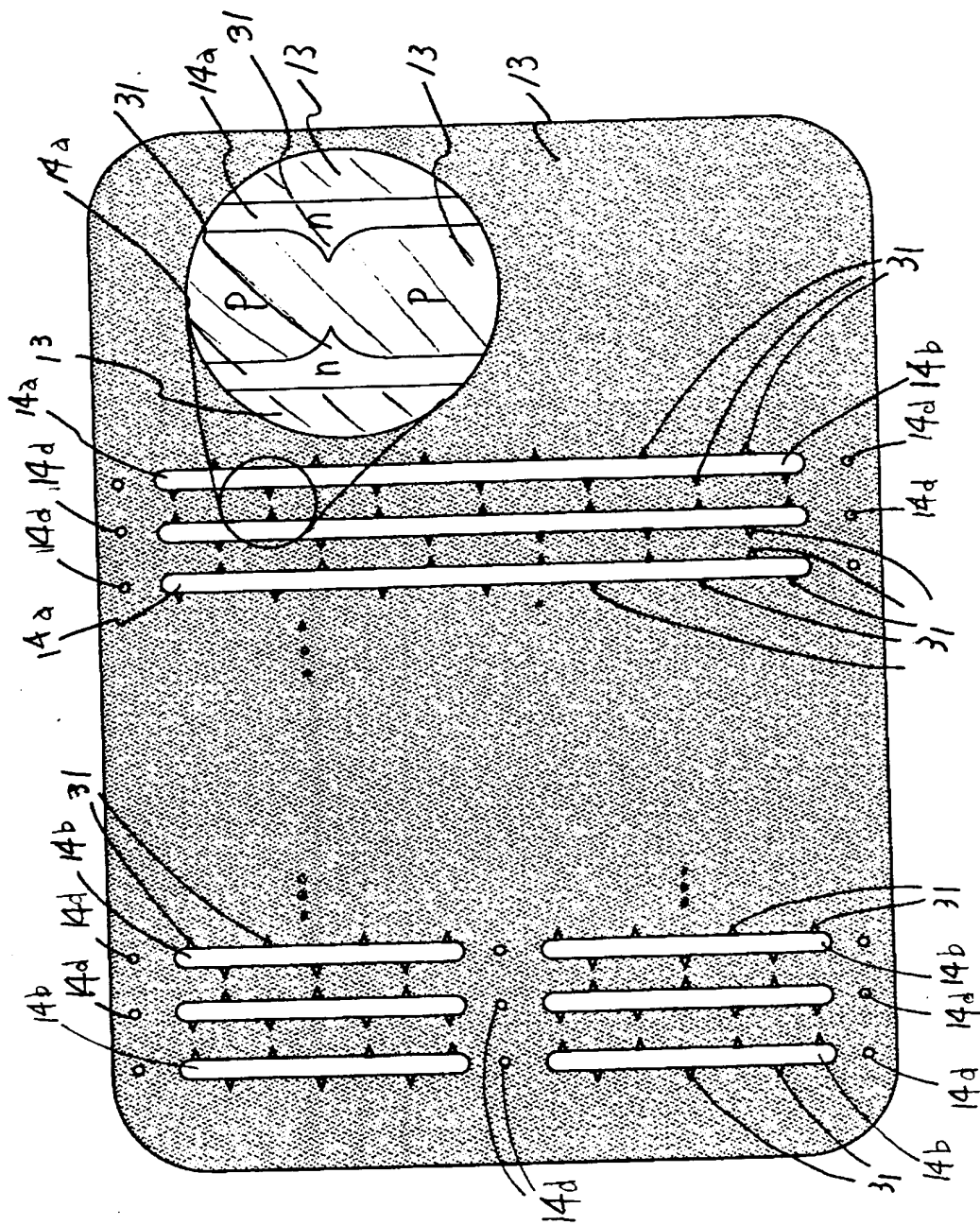
【図 4】



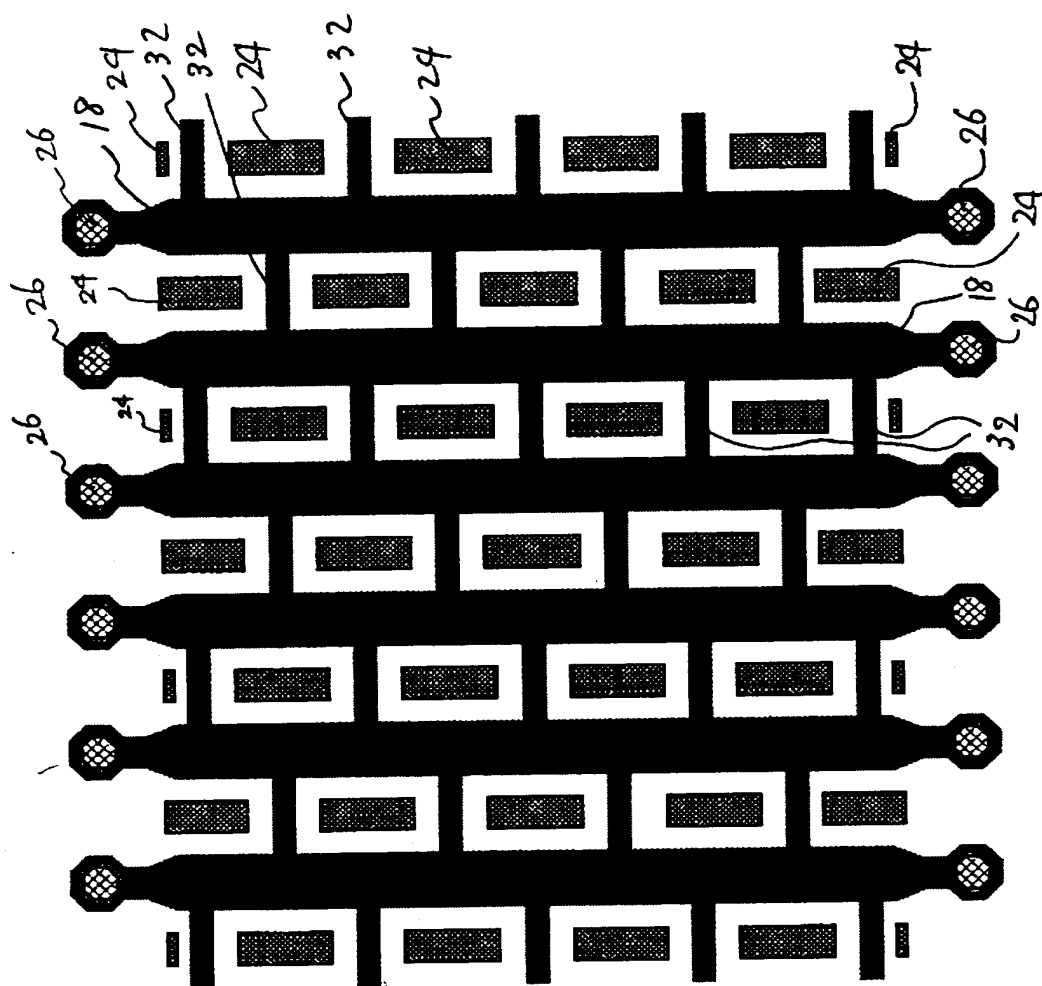
【図 5】



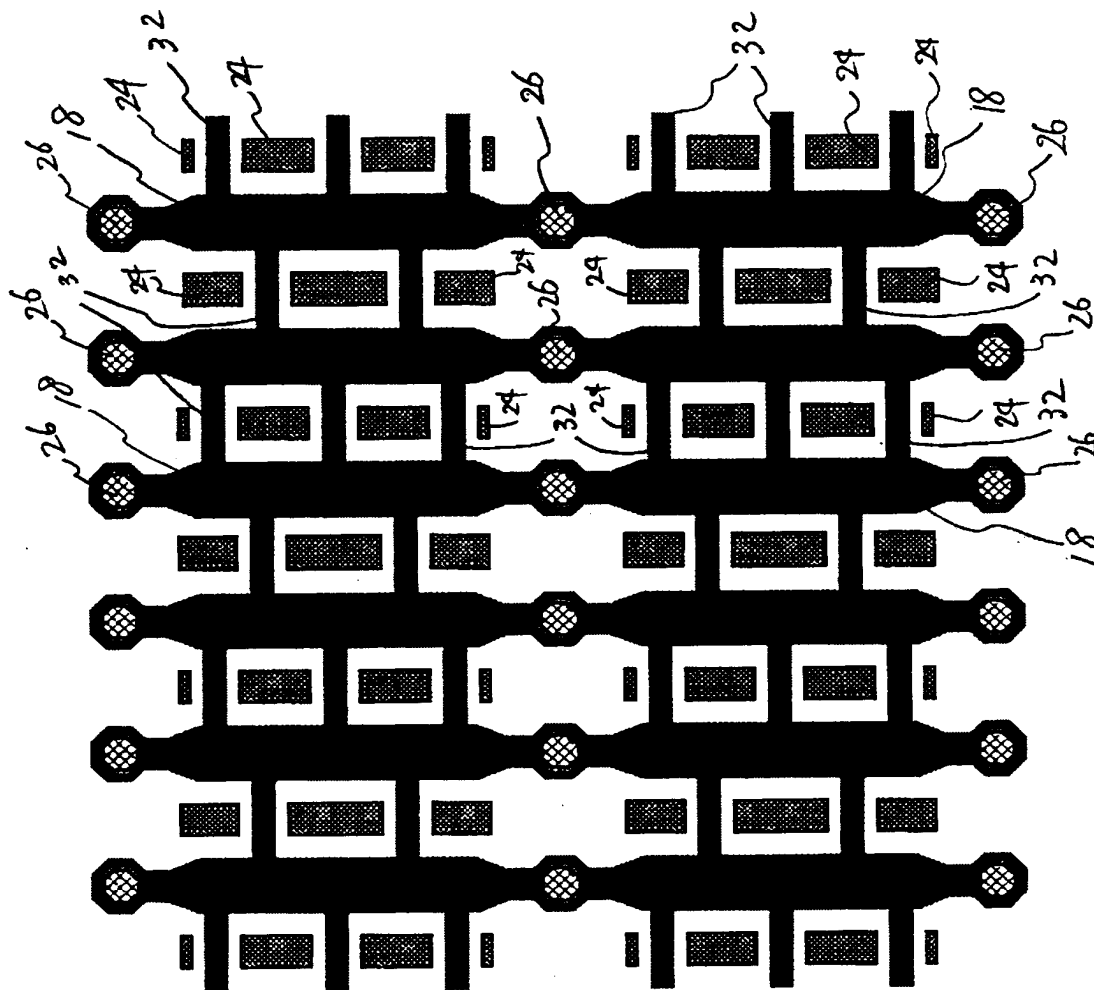
【図6】



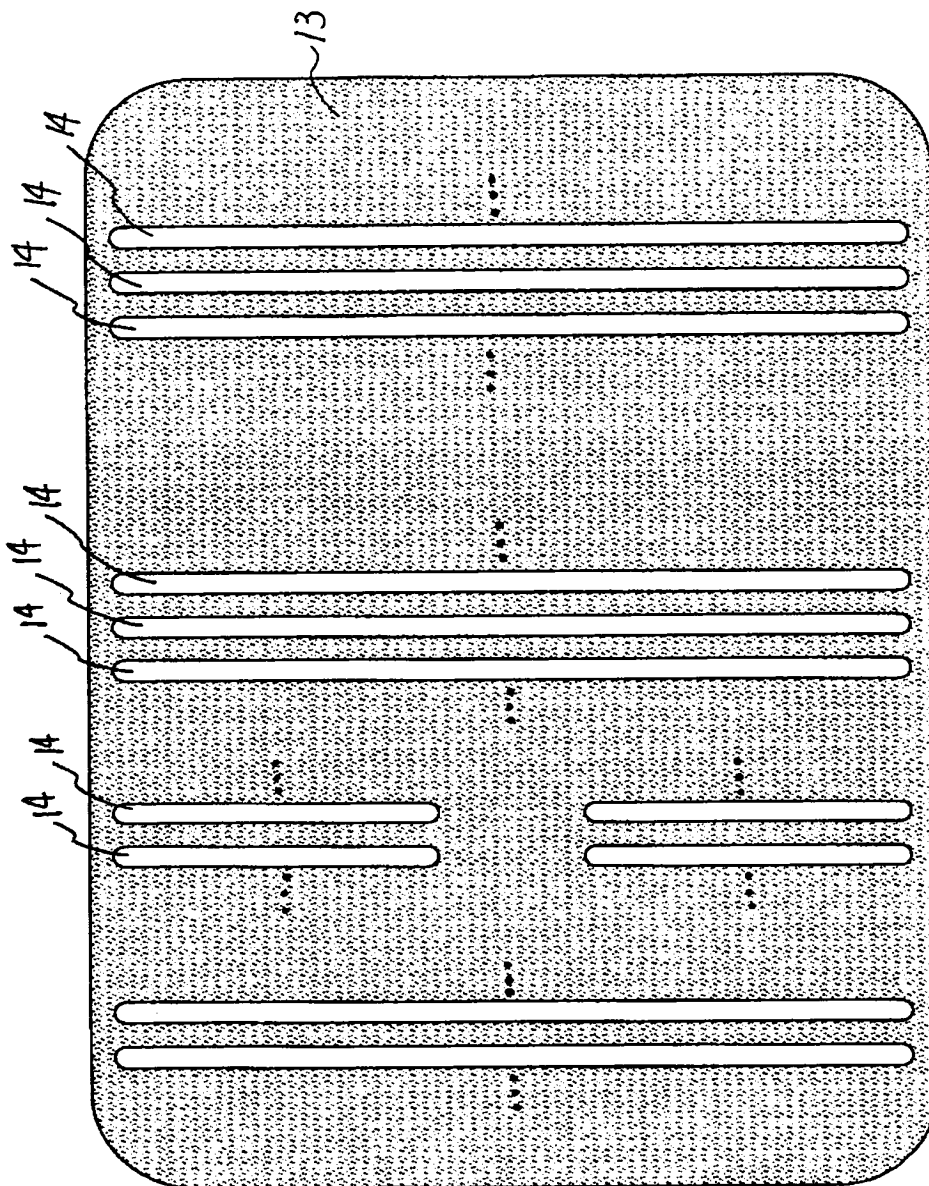
【図 7】



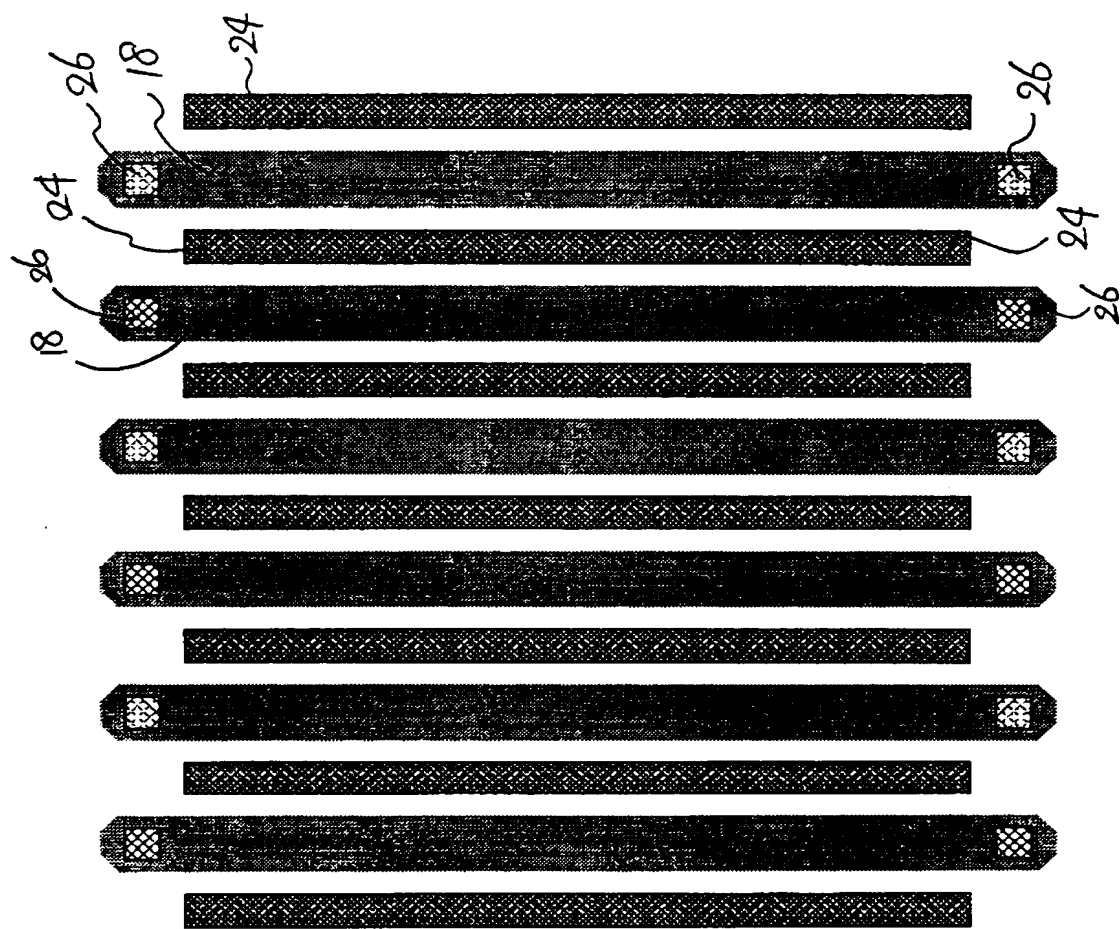
【図8】



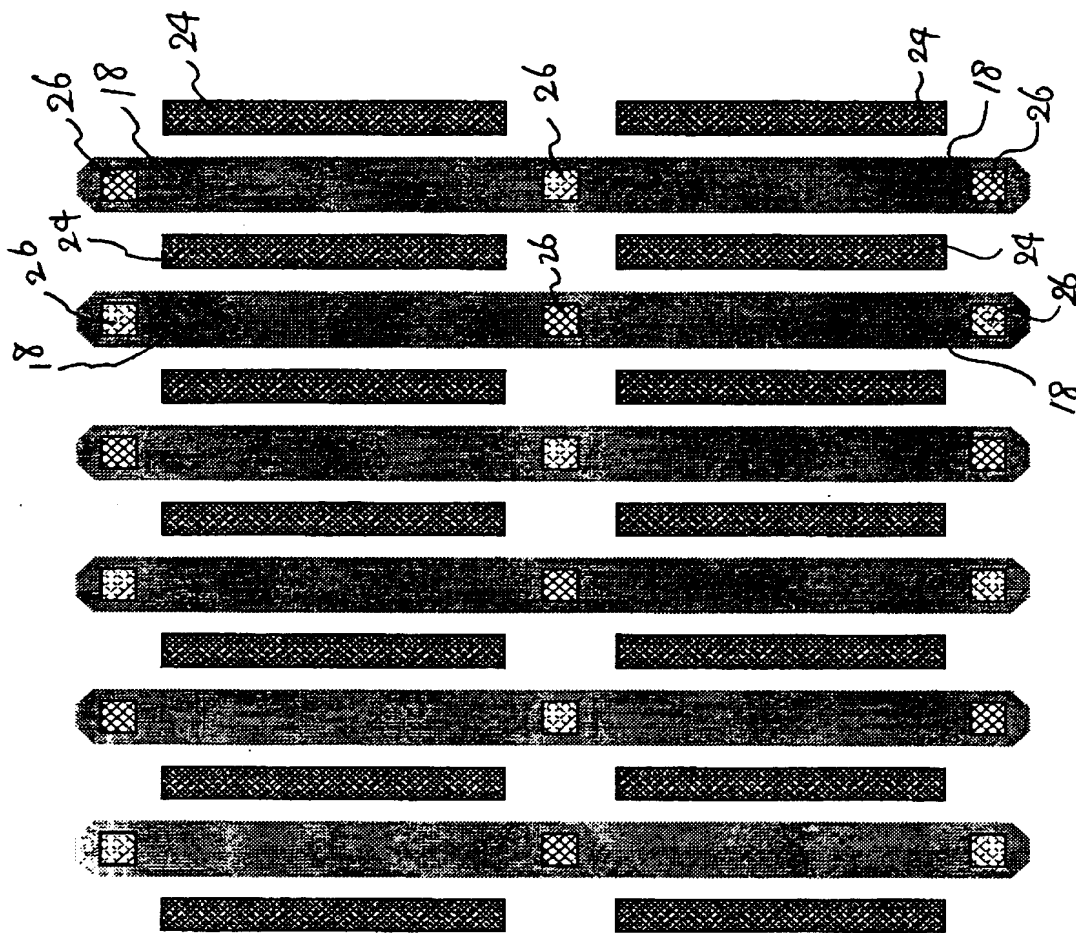
【図9】



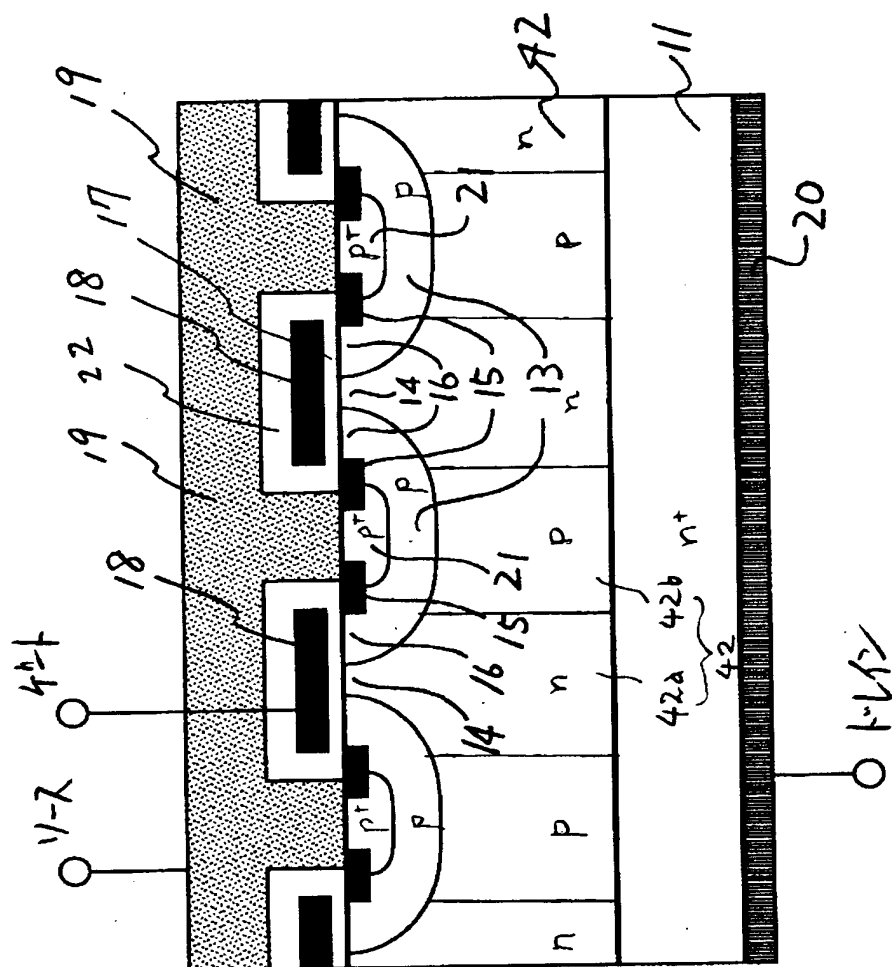
【図 1 0】



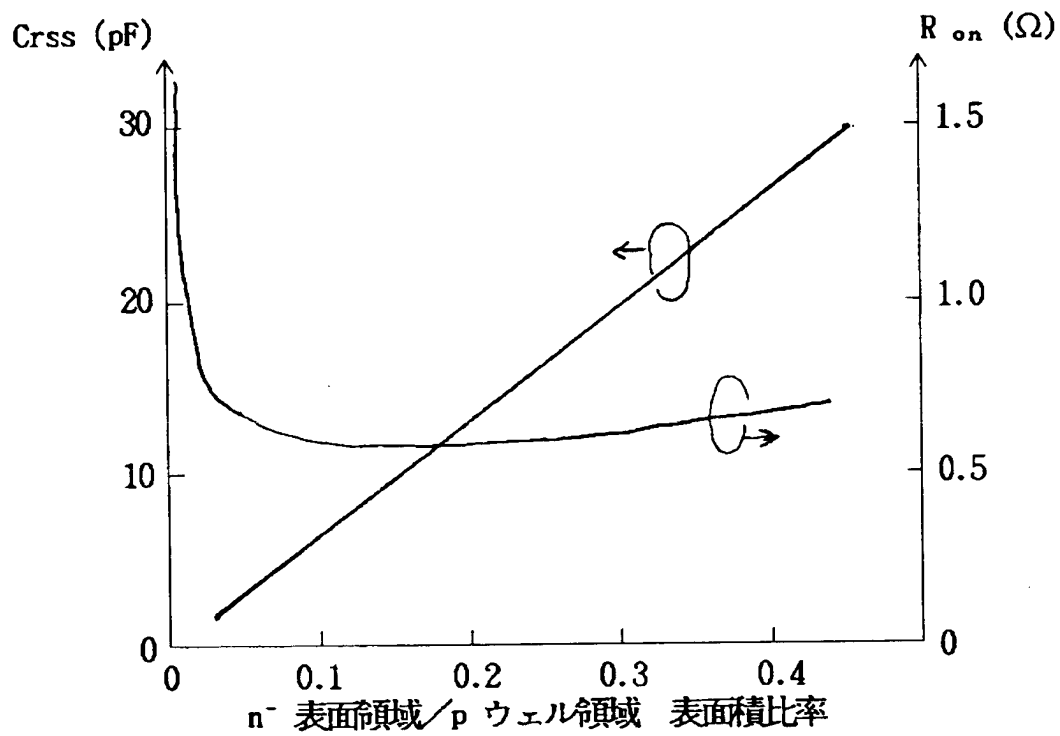
【図 1 1】



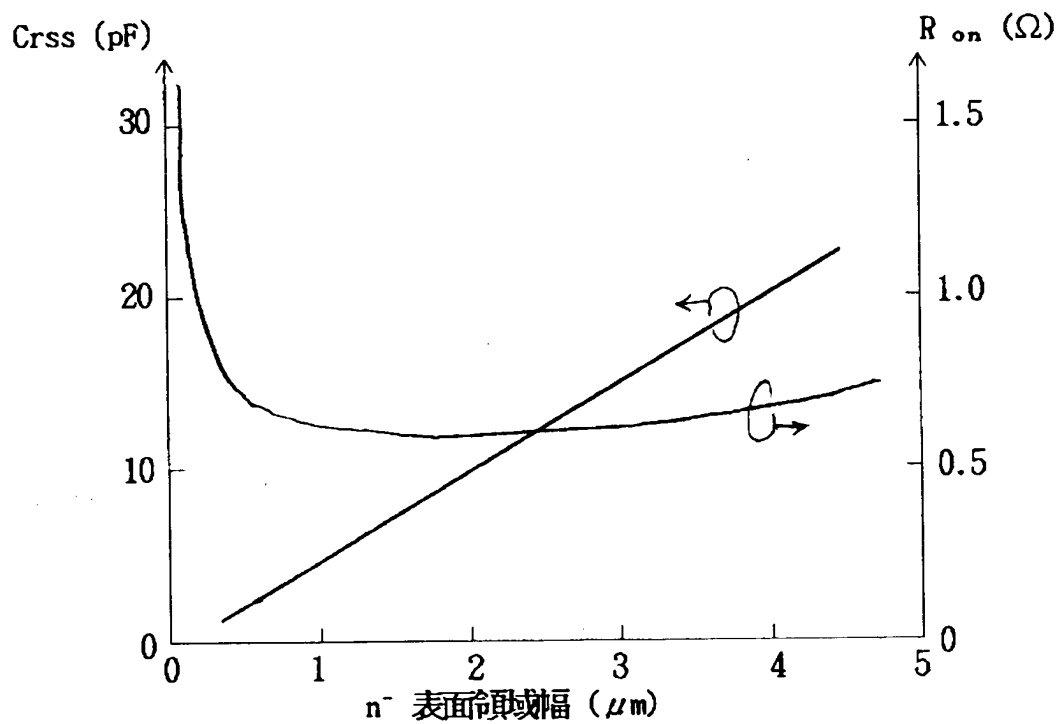
【図 1 2】



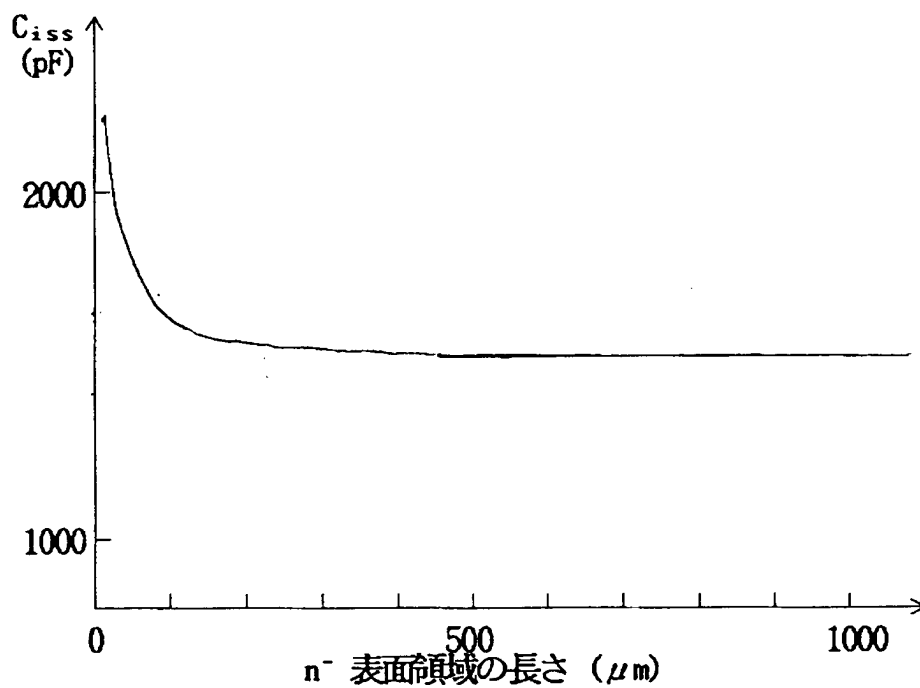
【図 13】



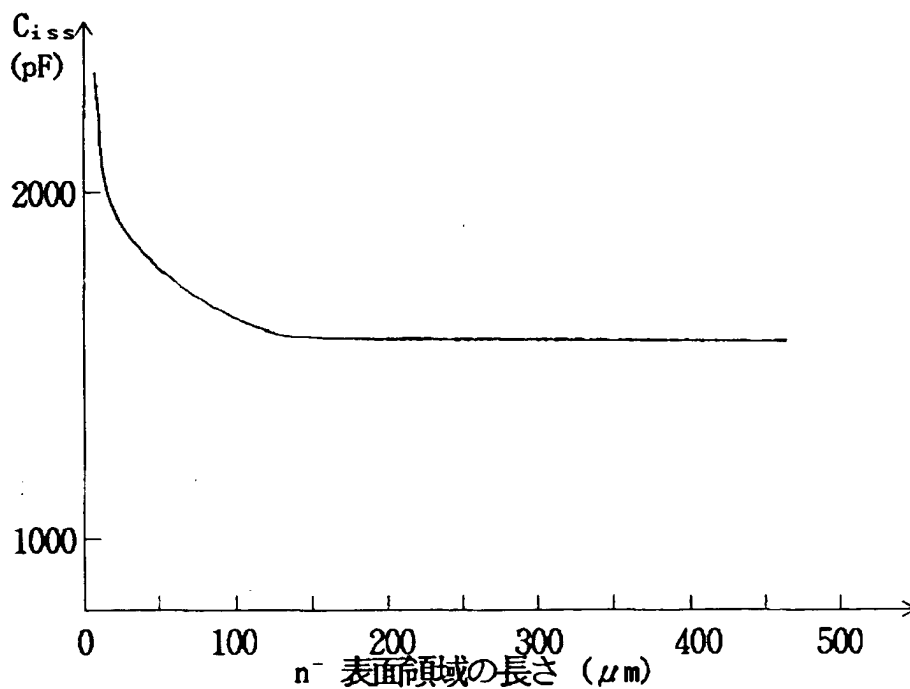
【図 14】



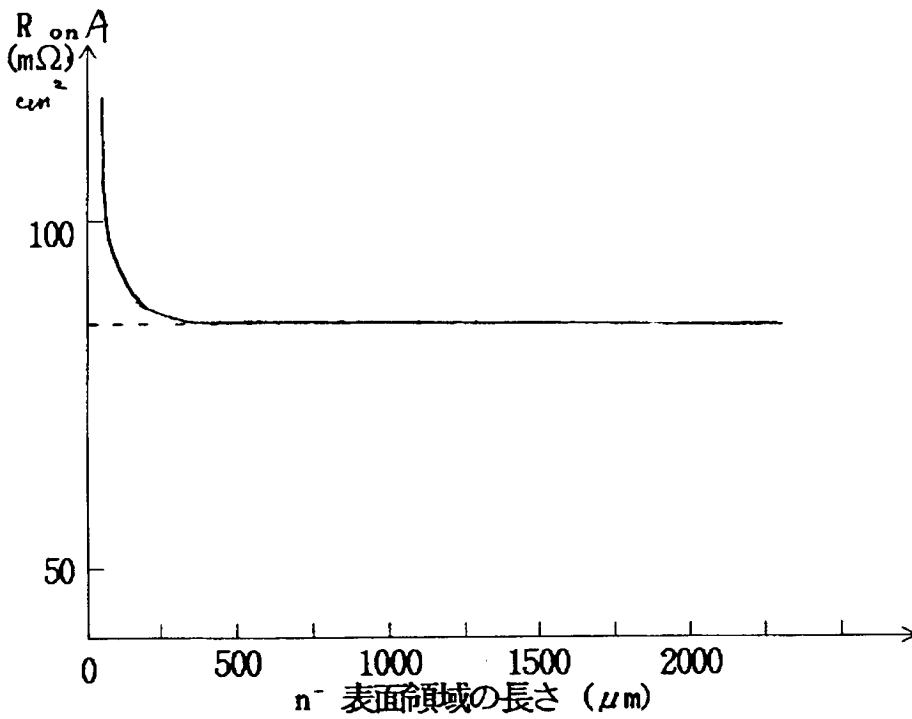
【図 15】



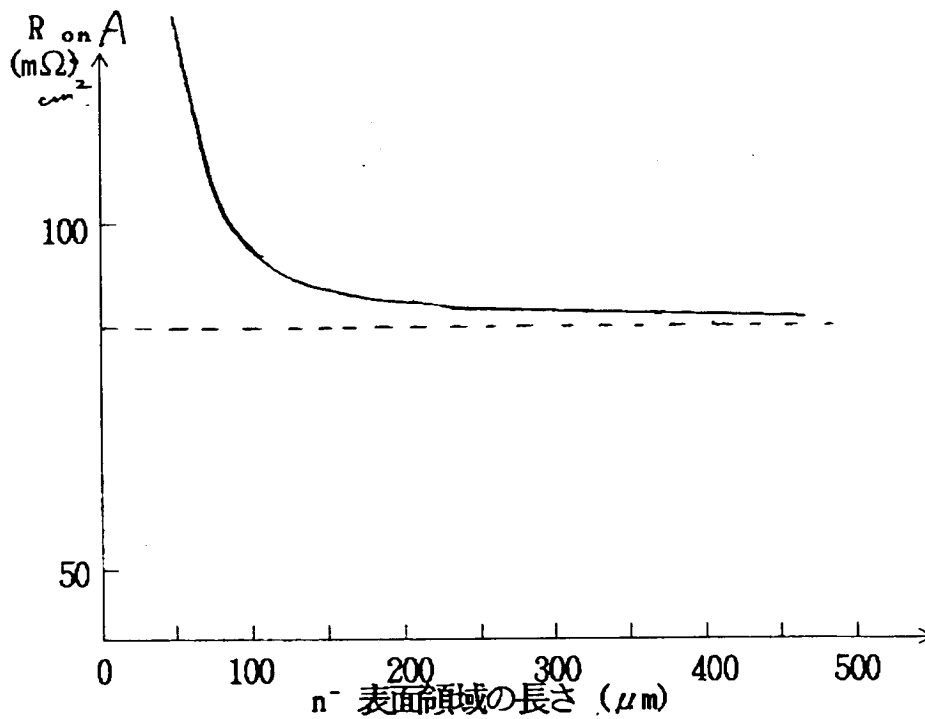
【図 16】



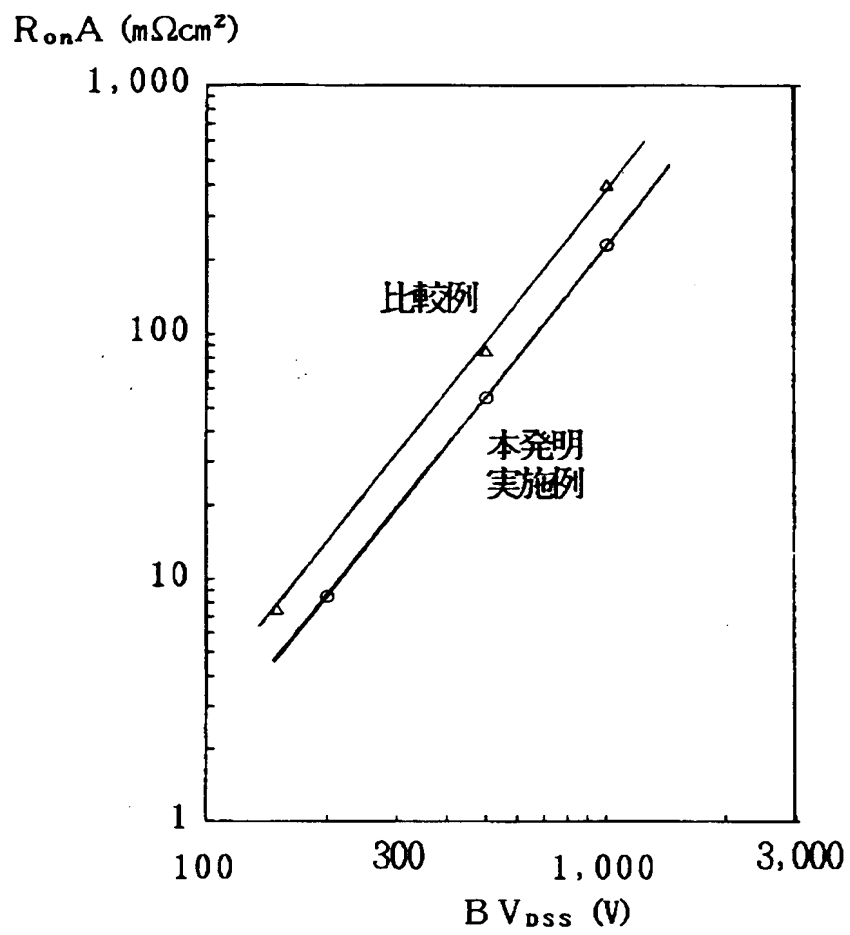
【図 17】



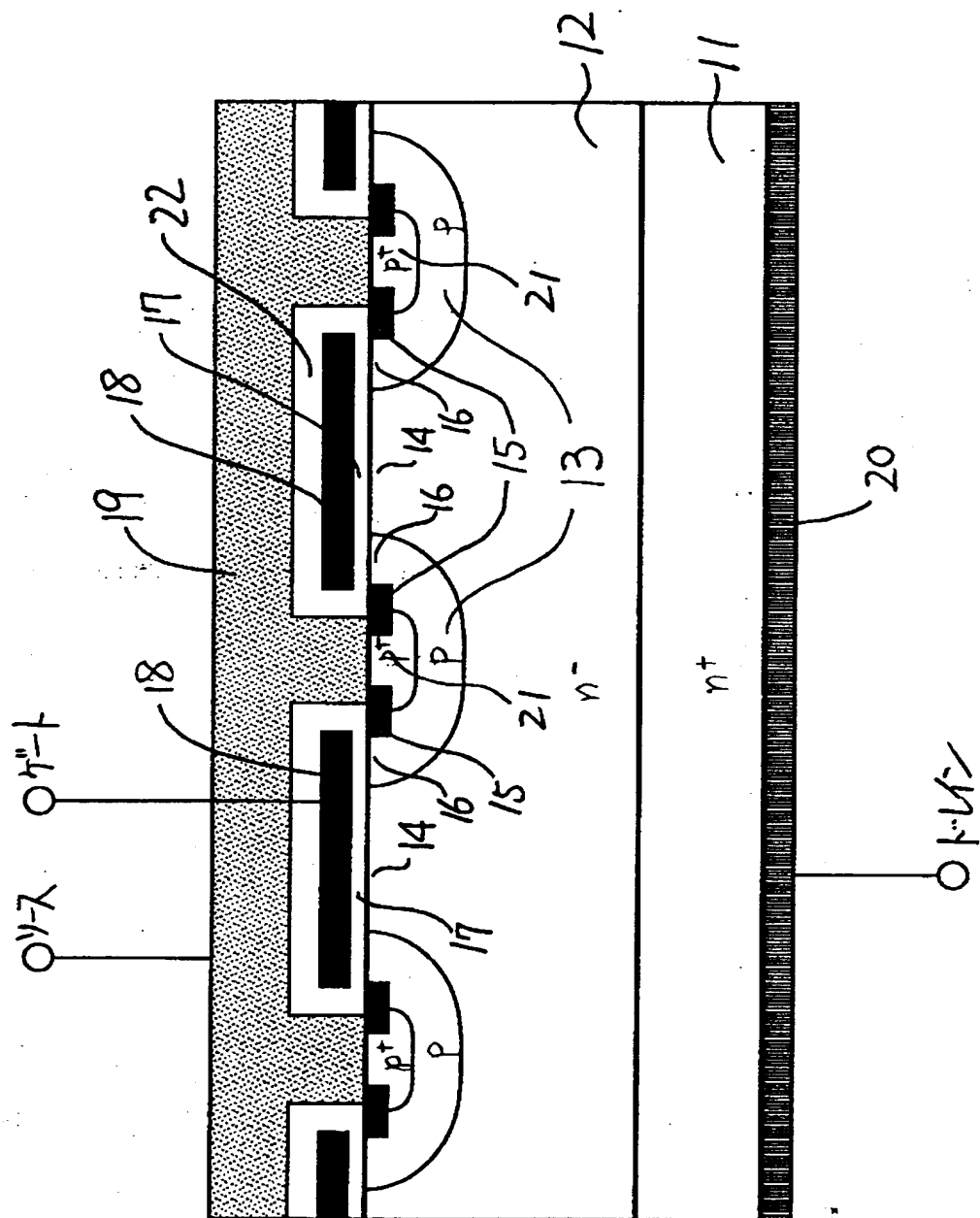
【図 18】



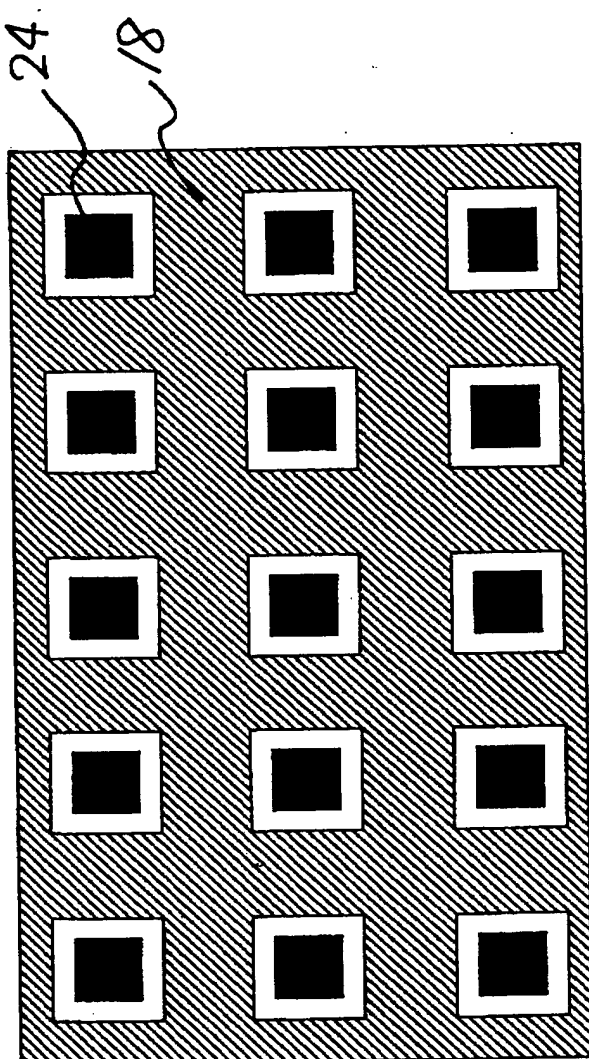
【図 1 9】



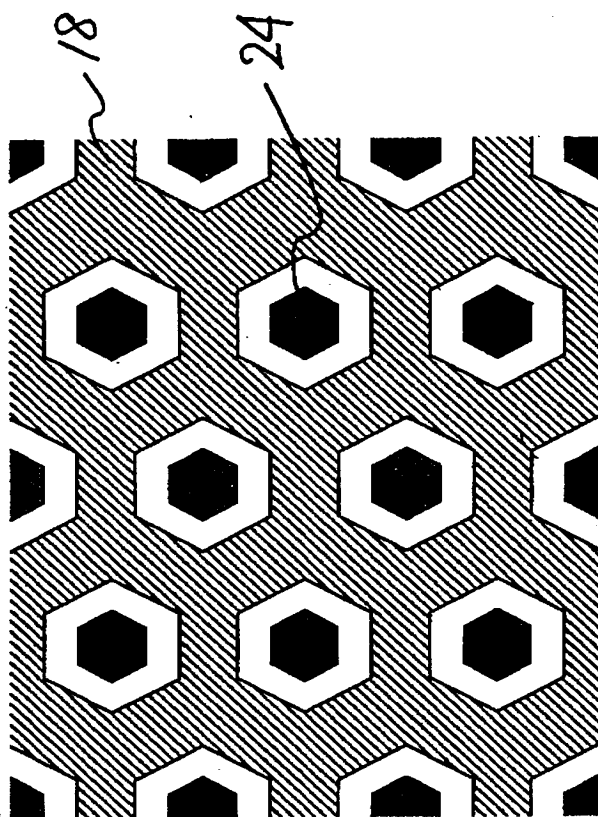
【図 20】



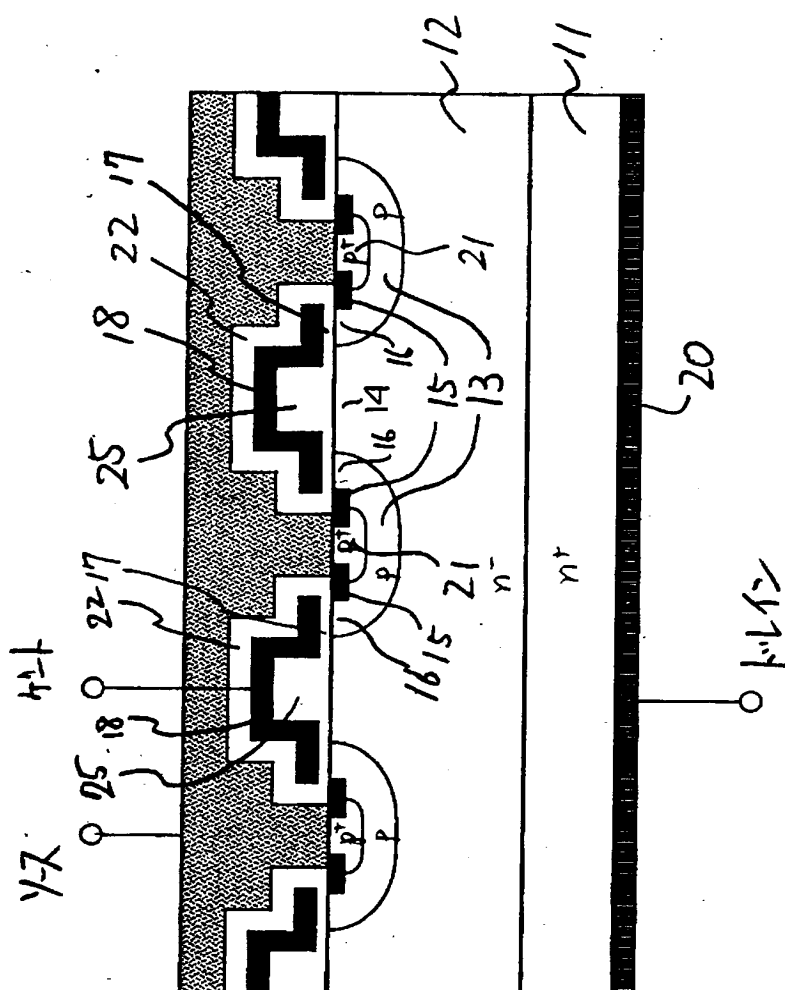
【図 2 1】



【図 22】



【图 24】



【書類名】 要約書

【要約】

【課題】 M O S 半導体装置の耐圧とオン抵抗とのトレードオフ関係を改善し、高耐圧、低オン抵抗でしかも高速スイッチングが可能な M O S 半導体装置を提供する。

【解決手段】 高比抵抗の n^- ドリフト層 1 2 の表面露出部である n^- 表面領域 1 4 の表面形状を p ウェル領域 1 3 で囲まれたストライプ状とし、 n^+ ソース領域 1 5 を含む p ウェル領域 1 3 の面積に対する n^- 表面領域 1 4 の面積比を、0. 0 1 ~ 0. 2 の範囲とする。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 3 6 1 1 0 6
受付番号	5 0 0 0 1 5 2 9 8 7 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 1 2 月 1 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000005234
【住所又は居所】	神奈川県川崎市川崎区田辺新田 1 番 1 号
【氏名又は名称】	富士電機株式会社

【代理人】

【識別番号】	100088339
【住所又は居所】	東京都日野市富士町 1 番地 富士電機株式会社内
【氏名又は名称】	篠部 正治

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日 1 9 9 0 年 9 月 5 日
[変更理由] 新規登録
住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号
氏 名 富士電機株式会社